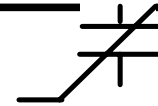


パッケージングされた強誘電体 キャパシター Type "AB" の標準的な能力

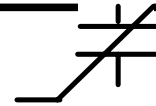
Joe T. Evans, Jr.
Radiant Technologies, Inc.
August 29, 2008

訳: 日本フェロ・テクノロジー



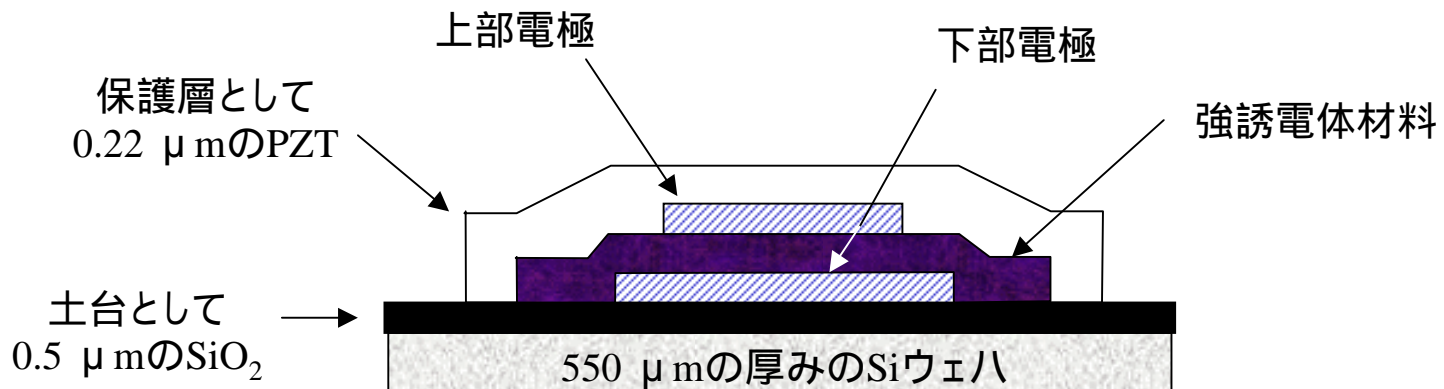
はじめに

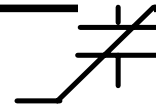
- Type ABキャパシターは実証するために設計されました。ほとんどの強誘電体キャパシターにおける能力と信頼特性の全てを考えるためです。これには疲労とインプリントも含まれます。
- 以下のページでグラフ化されたデータは1つのDataSetファイルから取り出したものです。それは、“Typical type ab performance 07_07_08.dst” ファイルで、www.ferrodevices.com/components2.html からダウンロードすることが可能です。そのファイルを展開するVisionはwww.ferrodevices.com/tdownload.htmlからダウンロードが可能です。
- この資料内で示したデータは強誘電体キャパシター上で行うことができる計測種類の実例を示しています。



試料の説明

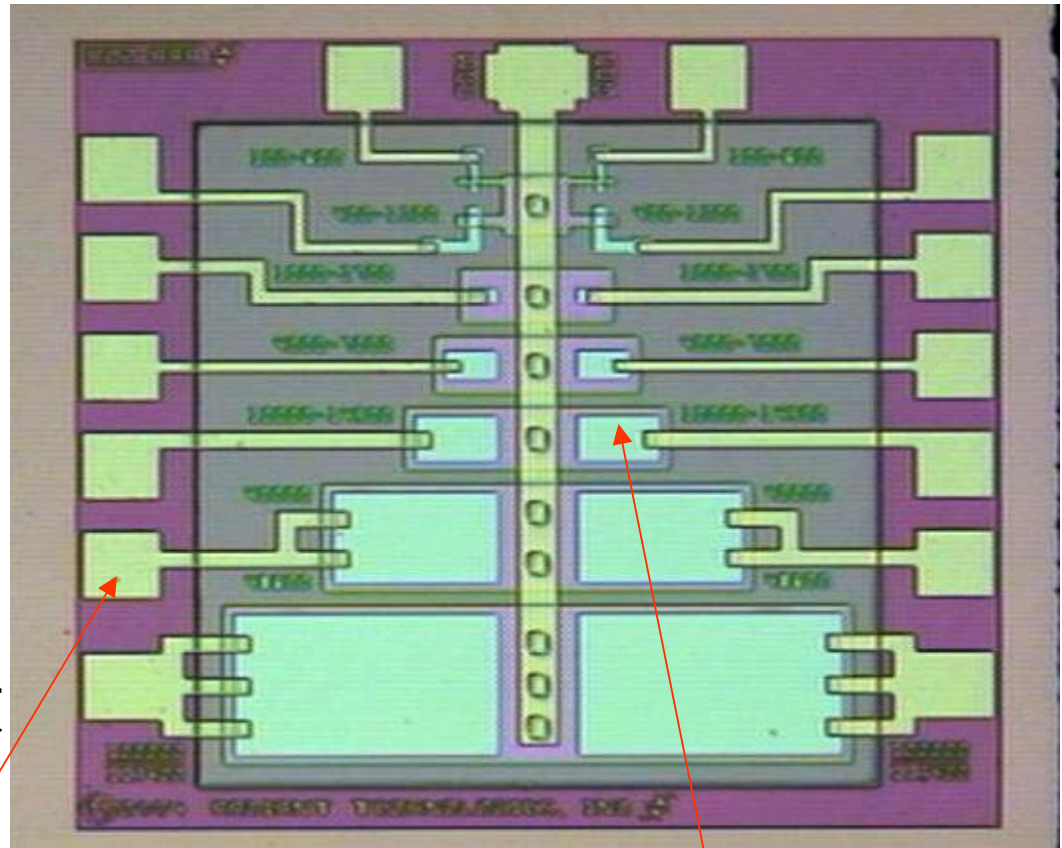
- キャパシタの構造 (下部から上部に):
 - 5000 Å SiO_2 , $\langle 100 \rangle$ silicon (基材) 上
 - 400 Å TiO_2
 - 1500 Å $\langle 111 \rangle$ と $\langle 200 \rangle$ の多結晶プラチナ、下部電極
 - 2550 Å 有機金属分解法(MOD)で20/80PZTを7層堆積
 - 1000 Å 多結晶プラチナ、上部電極
 - 400 Å TiO_2 により覆われた2200 Å 20/80 PZT(安定化層として)
 - 金属接続、200 Å クロムと5000 Å 金





試料の説明

400 μm^2 と 100 μm^2 の強誘電体キャパシターは、キャパシターの側に上部電極の接触を伴う“クロス”タイプデバイスです。より大きなキャパシターは“板”キャパシターです。それは上部電極が完全に下部電極よりも小さく、上部電極の接触は実際のキャパシター領域上になります。



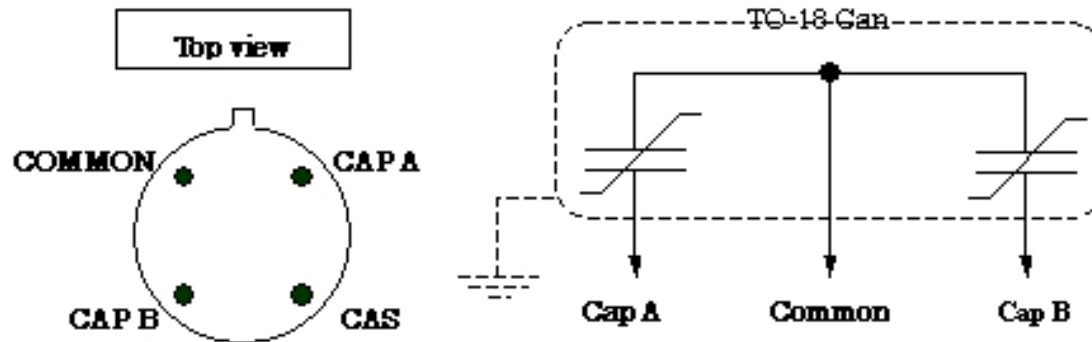
金で作られた接触部

キャパシターサイズ: 10,000 μm^2

Radiant Technologies, Inc.

パッケージング

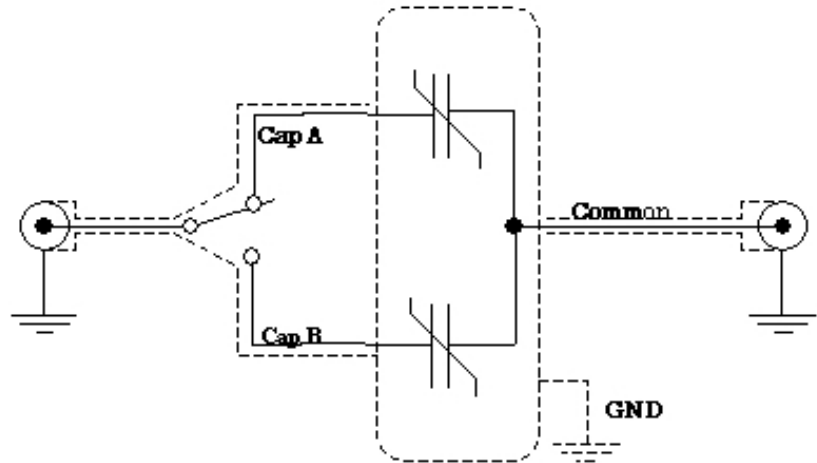
- そのキャパシターはTO-18トランジスタタイプ容器内の4箇所リード線により固定されています。



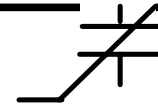
- より多くの情報を得るために“Ferroelectric Component Technical Description - RC2-AAA” を見てください。(日本語訳は、このPDFファイルをダウンロードした日本フェロ・テクノロジーの“強誘電体テストサンプル”の項目になります。)

ソケットボード

- 計測データは以下に示すTO-18ソケットボードに取り付けられた1つの“AB” キャパシターから集めました。

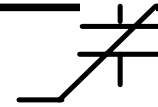


- 温度データはホットチャックの半導体プローブステーション上のパッケージされていない半導体チップから収集しました。



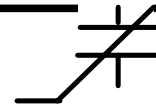
回復方法

- 過去の報告のように、強誘電体キャパシターに与えたDC バイアスはいくらかのインプリント効果を直すことができます。
- “AB” キャパシターは、膜厚2550 Åを通過する9 Vの電圧に長時間耐える能力を持ちます。(最大印加電圧は9 Vです。)
- 以下に推奨する回復手順を使用すれば、インプリント効果は100%除去できる可能性があります。
- 同様の回復手順を使用することで疲労効果の重要な量もまた除去できる可能性があります。
- 推奨する回復手順:
 - 室温下で9 V、1 Hzの矩形波を100 秒間、キャパシターに与えます。必要なら、時間を延長してください。(試料に蓄積したダメージにより9 Vまで耐えられない可能性もあります。使用する電圧の1から2 V高い電圧で回復する方法をお勧めします。)



標準的な能力

- キャパシター “AB” の400 μm^2 部分の標準的な能力のデータは以下のページに示します。
- 全てのテストデータは、Precision LC とPrecision Premier II で計測しました。
 - 全てのグラフは、Visionのグラフ化ツールを使用して作成しました。次に、作成されたグラフを、このプレゼンテーション内に直接貼り付けました。
- グラフデータを含めたDataSetファイルを以下のウェブサイトから見つけることができます。 www.ferrodevices.com/components2.html

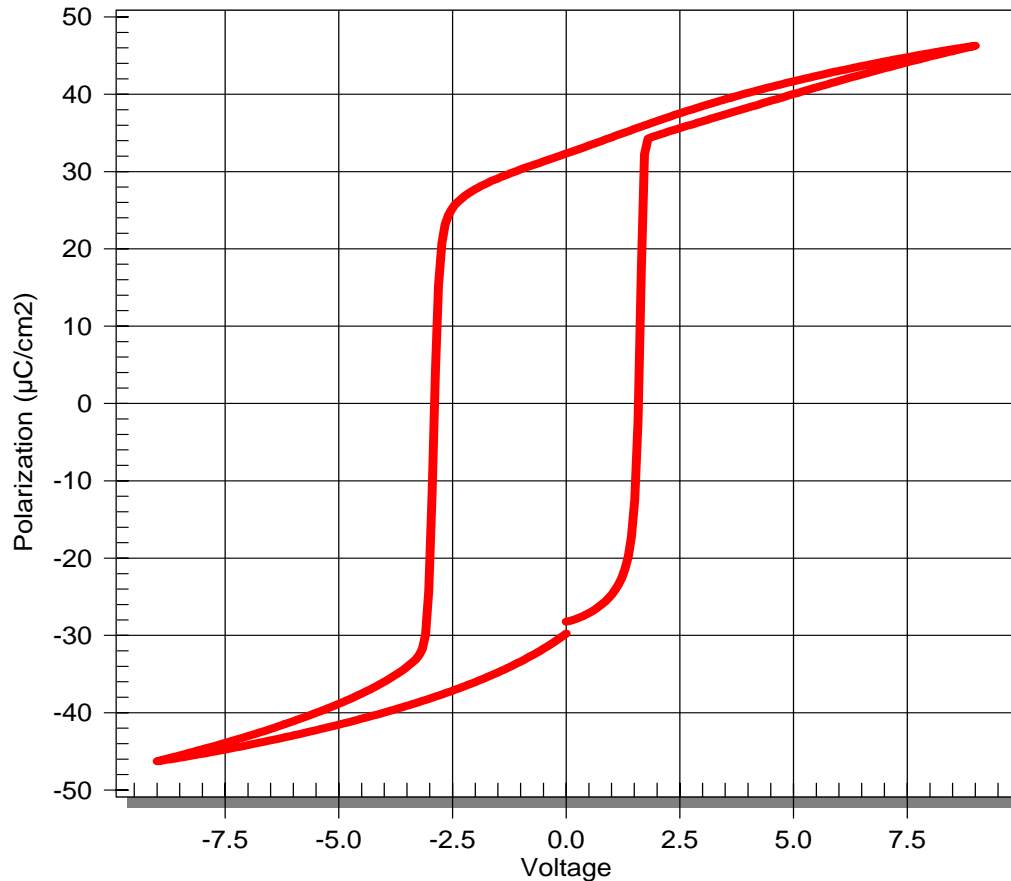


回復処理前

(計測時間: 10 ms)

Hysteresis Before Recovery

[Type AB WHITE]

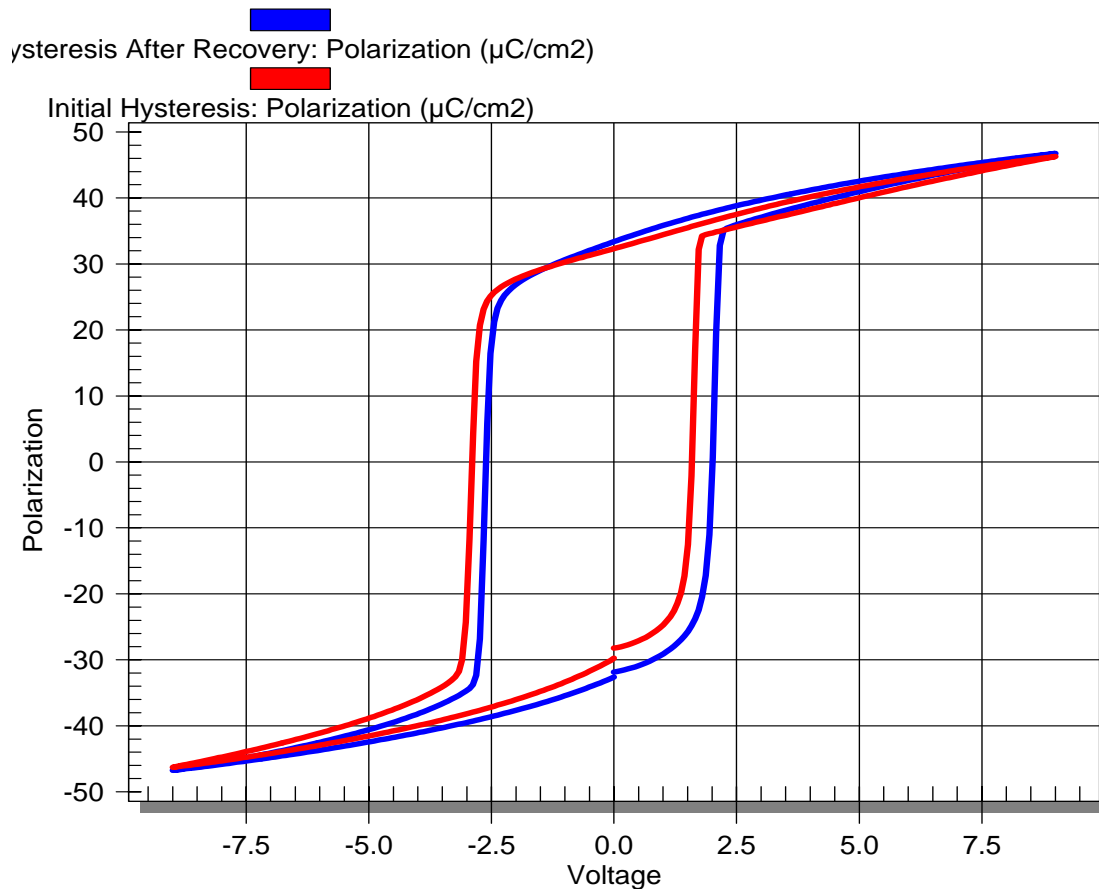


100秒間の回復処理後

(計測時間: 10 ms)

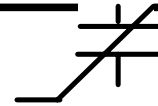
Hysteresis Before and After Recovery

[Type AB WHITE]

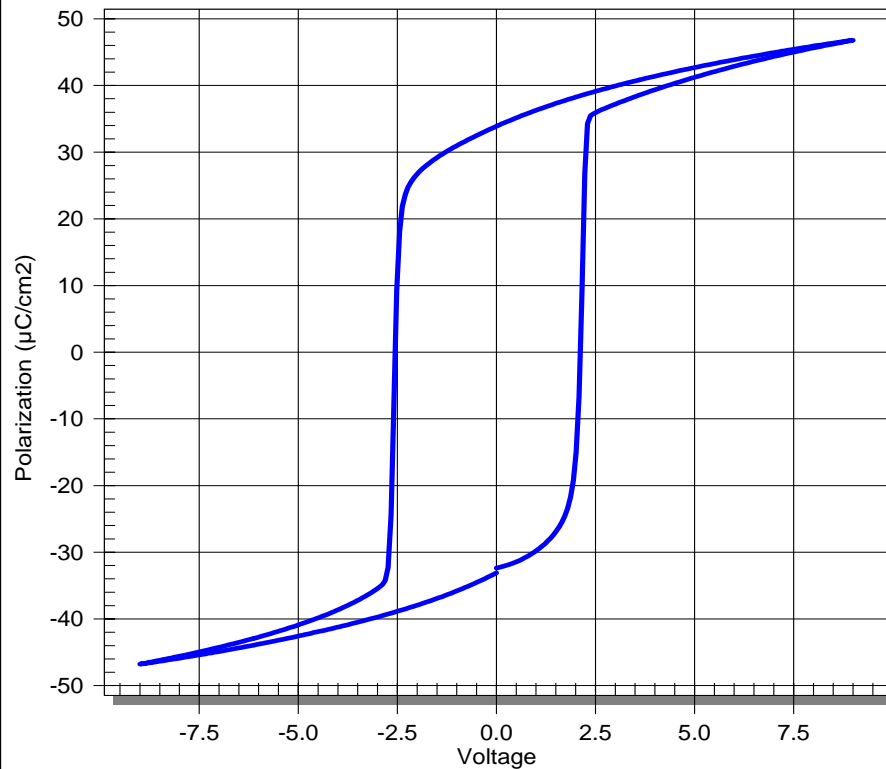


長時間の回復処理後

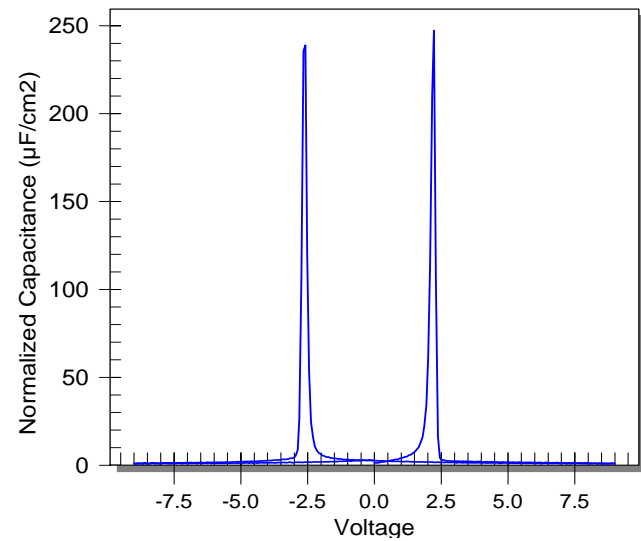
(5分間、室温下)



After 5 minutes Total Recovery
[Type AB WHITE]

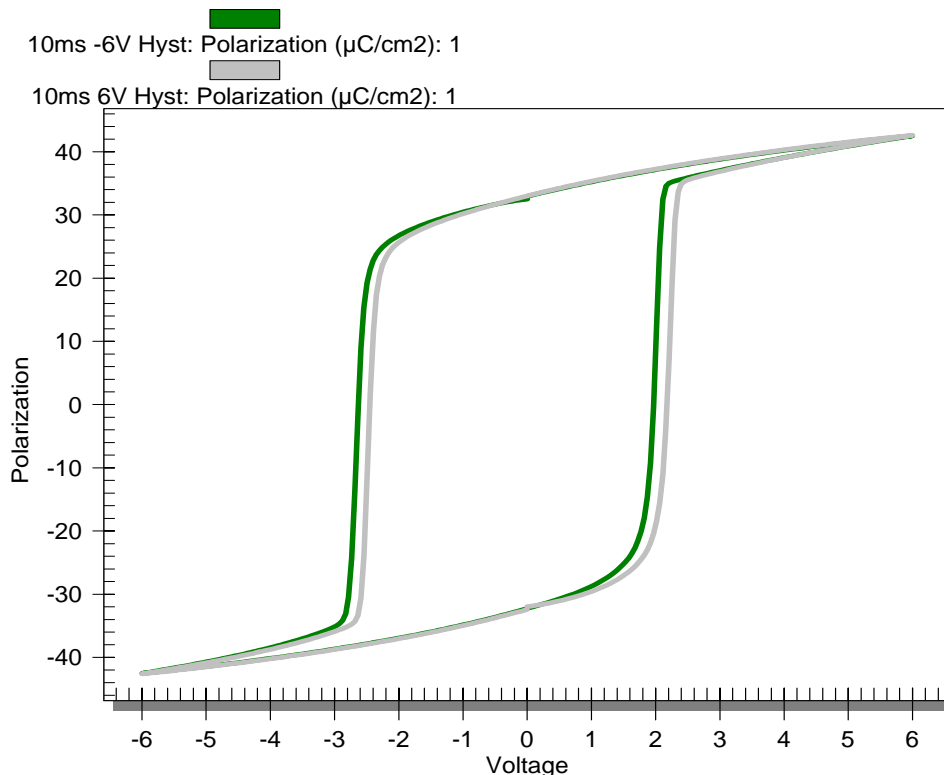


Normalized CV of Recovered Capacitor
[Type AB WHITE]



逆方向へのヒステリシスループ

Opposing 6V Loops
[Type AB WHITE]



- 20/80 PZTのヒステリシスループはループを始める前の残留分極の値に依存して前後にスライドします。標準的なPZT強誘電体(20/80以外の組成)では、それほど大きな変化は見られません。

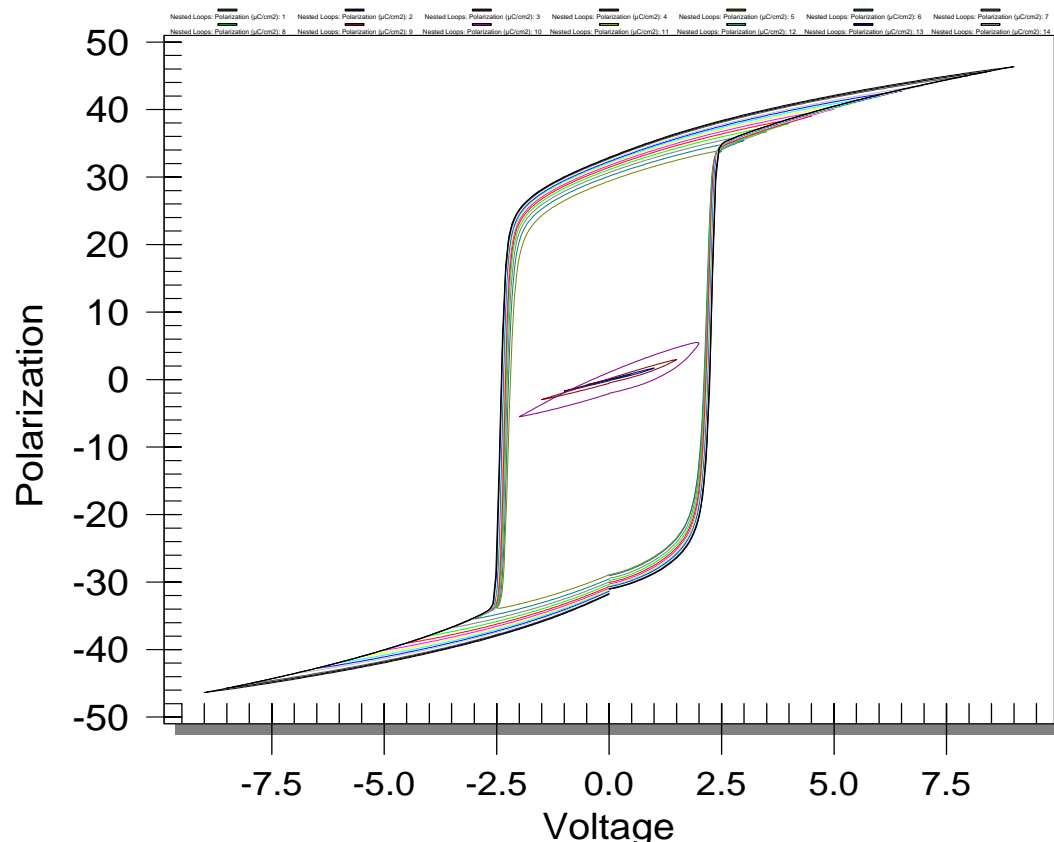
ネスト化したヒステリシスループ

(計測時間: 各1 ms)

初期0.5 Vから0.5 Vずつ増加して最大9 Vまで計測

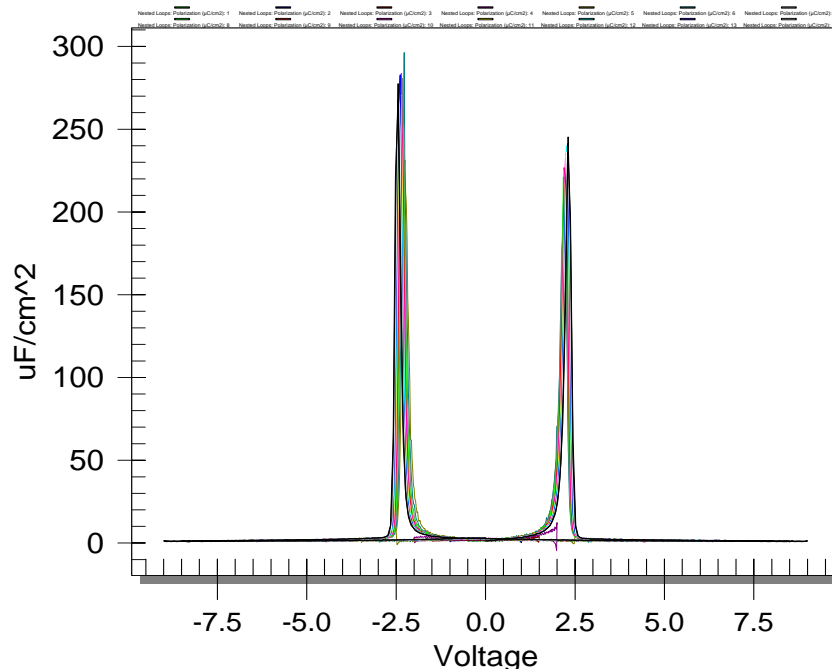
Hysteresis Loop vs Voltage

[Type AB WHITE, 10ms period]



ネスト化した標準化C/Vループ

nCV vs Voltage
[Type AB WHITE, 10ms Period]



標準化されたC/Vはヒステリシスループを数学的に微分したものです。それらは単位面積当たりの静電容量の単位を持ちます。そして、それはループ内のそれぞれの点における瞬間的なキャパシターの静電容量を意味します。上記のグラフは前スライドのネスト化したヒステリシスループのデータを処理したものです。

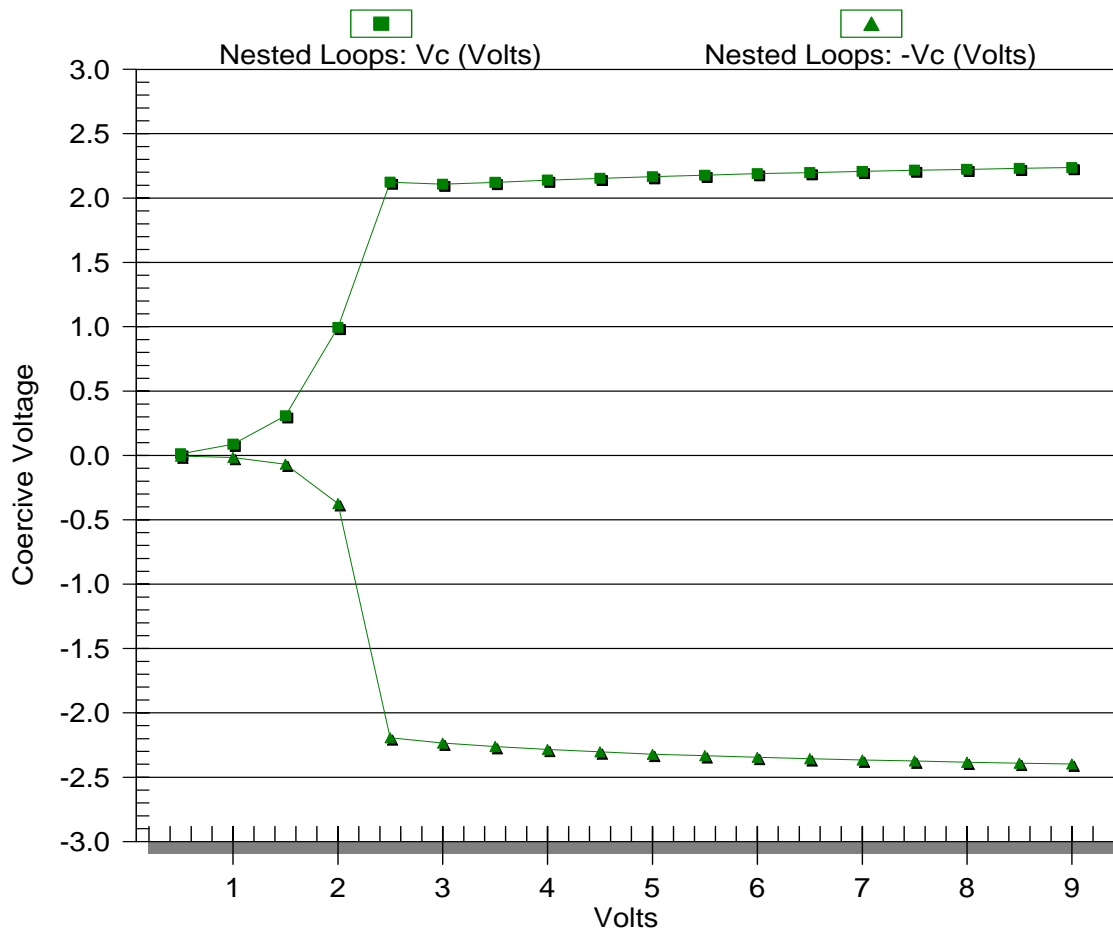
ループ中のデータの取得

- ラジアントテスターを制御するVisionデータ管理ソフトウェアは、それぞれのループで1つまたはそれ以上のパラメータを変えながら、ループ内で計測Taskを実行する能力を持っています。
- Visionライブラリーはループ内にデータを呼び出すために挿入できるフィルターTaskを提供します。次に、ループパラメータの働きである計測結果をグラフ化します。
- 次のいくつかのスライド内でグラフ化されたパラメータは、同じ計測の実行中にこの方法(フィルター Taskを使用する方法) で取得しました。前スライドでグラフ化しているネスト化されたループを取り込む時に同時に行いました。(16~18枚目のスライドのデータは、13枚目のデータを計測した際に、フィルターTaskで同時に処理された結果です。)

ヒステリシスの保持電位 対 電圧

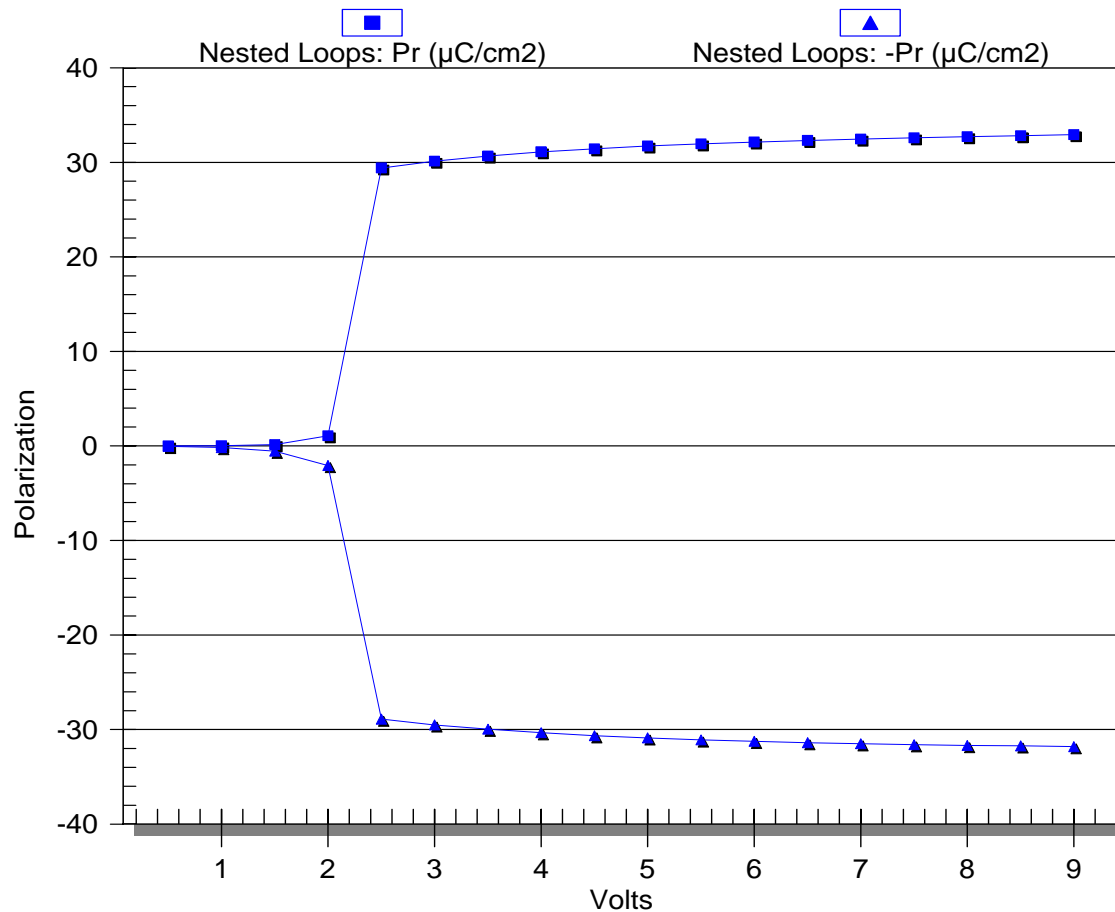
Coercive Voltage vs Volts

[Type AB WHITE]



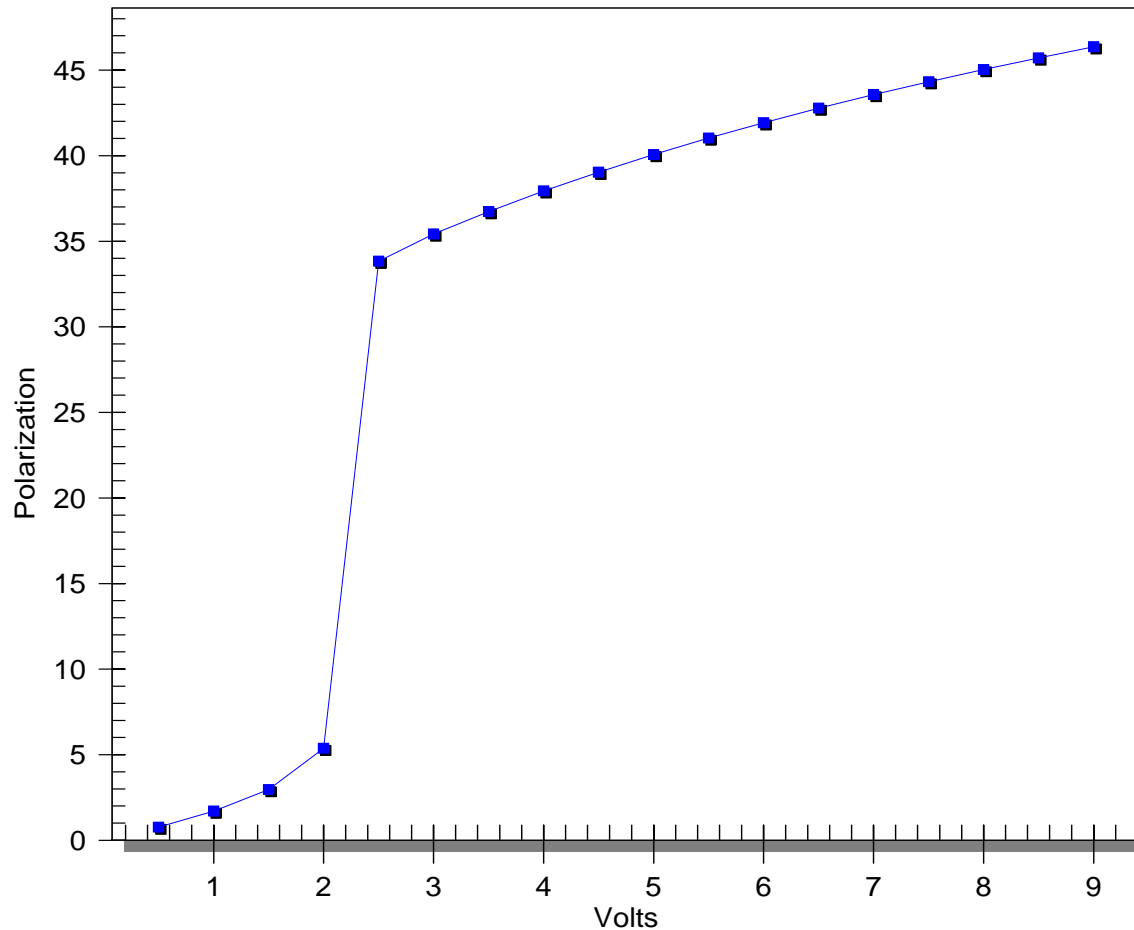
ヒステリシスのPr 対 電圧

Pr vs Volts
[Type AB WHITE]



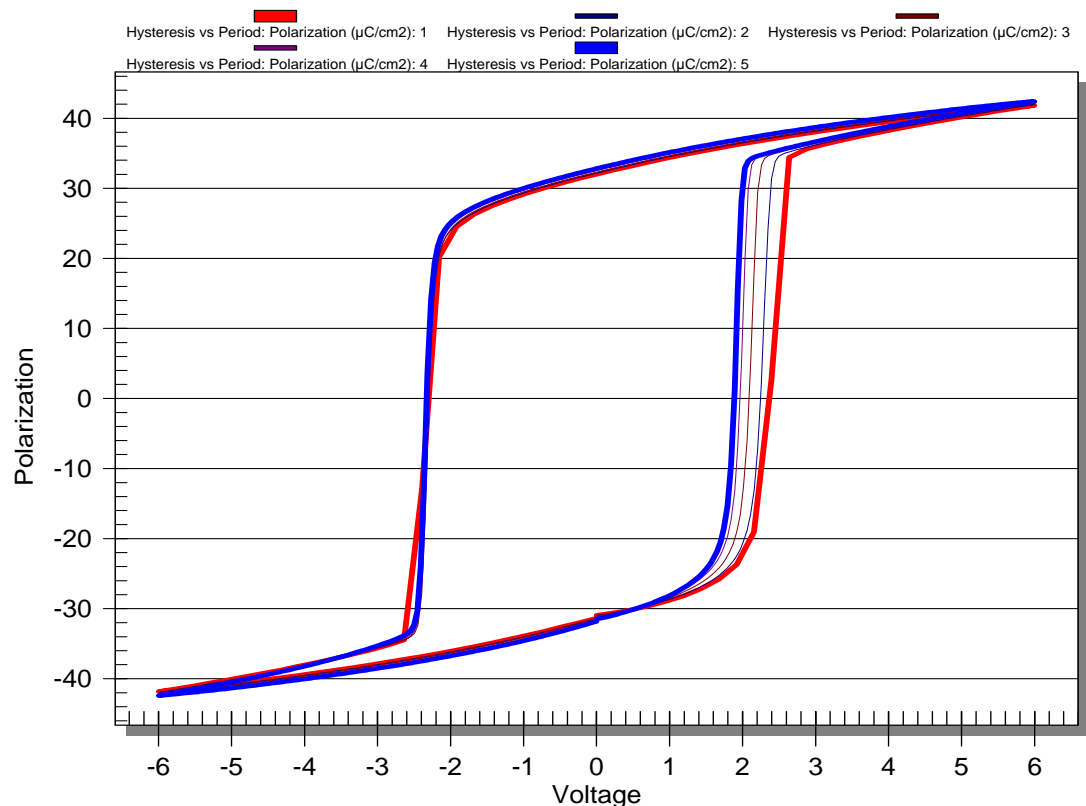
ヒステリシスのPr 対 電圧

Pmax vs Volts
[Type AB WHITE]



ヒステリシス 対 時間

6V Hysteresis 1ms->10s
[Type AB WHITE]

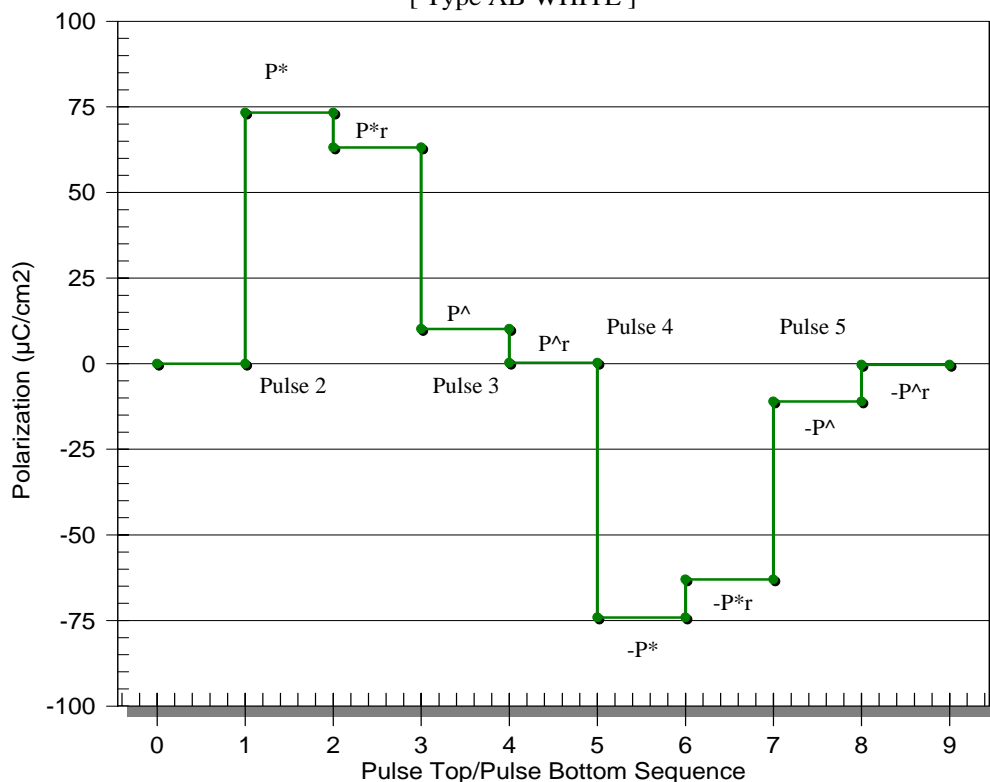


ヒステリシス計測の時間を長くすると、ヒステリシスループは低い保持電位で分極反転し、より長方形の形状になります。赤いループは1 ms、青いループは10秒で計測した結果です。

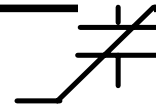
標準的なPUNDの結果

6V 1ms PUND

[Type AB WHITE]



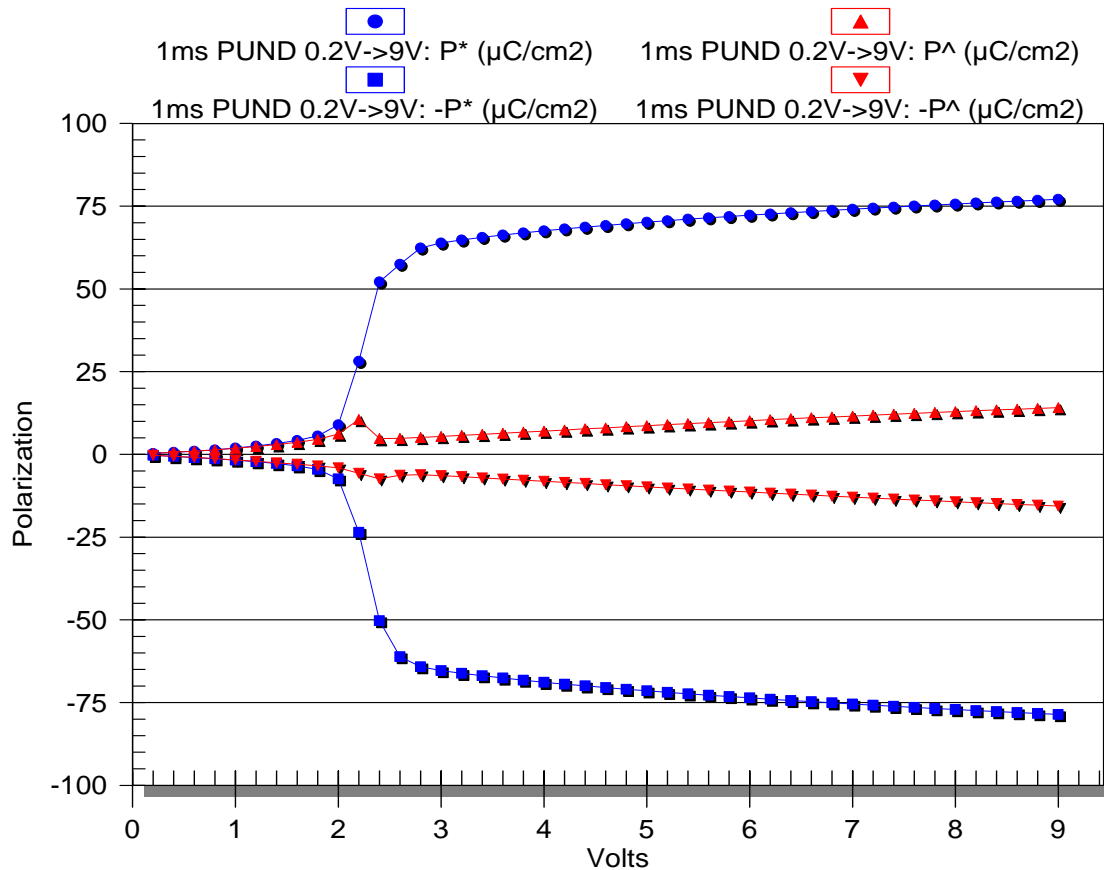
PUND計測は5つのパルスから構成され、それぞれのパルスの上端とそれぞれのパルスの下端から分極値を計測します。最初のパルスは残留分極を与えます。次の4つのパルスで分極値を計測します。PUNDはFe-RAM操作を模擬し、残留分極値を計測するための早い方法です。



PUND 対 電圧

(パルス幅 1 msでの $\pm P^*$ 対 $\pm P^\wedge$)

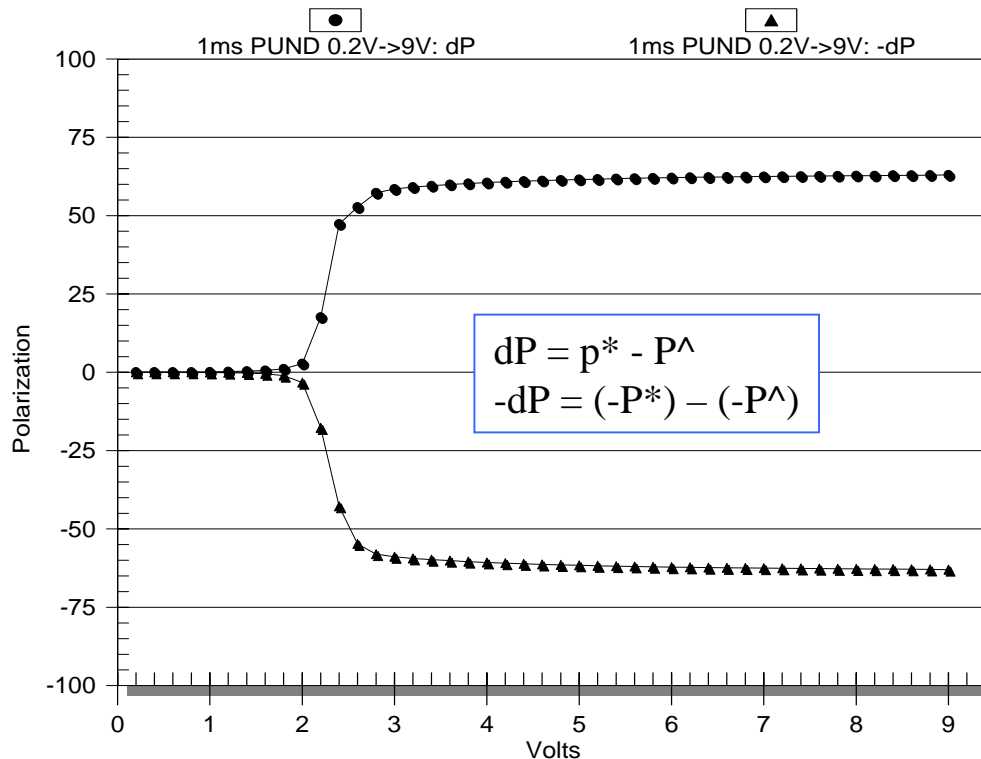
PUND P^*/P^\wedge vs Volts
[Type AB WHITE]



PUND 対 電圧

(パルス幅1 mでの ± dP)

PUND deltaP vs Volts
[Type AB WHITE]



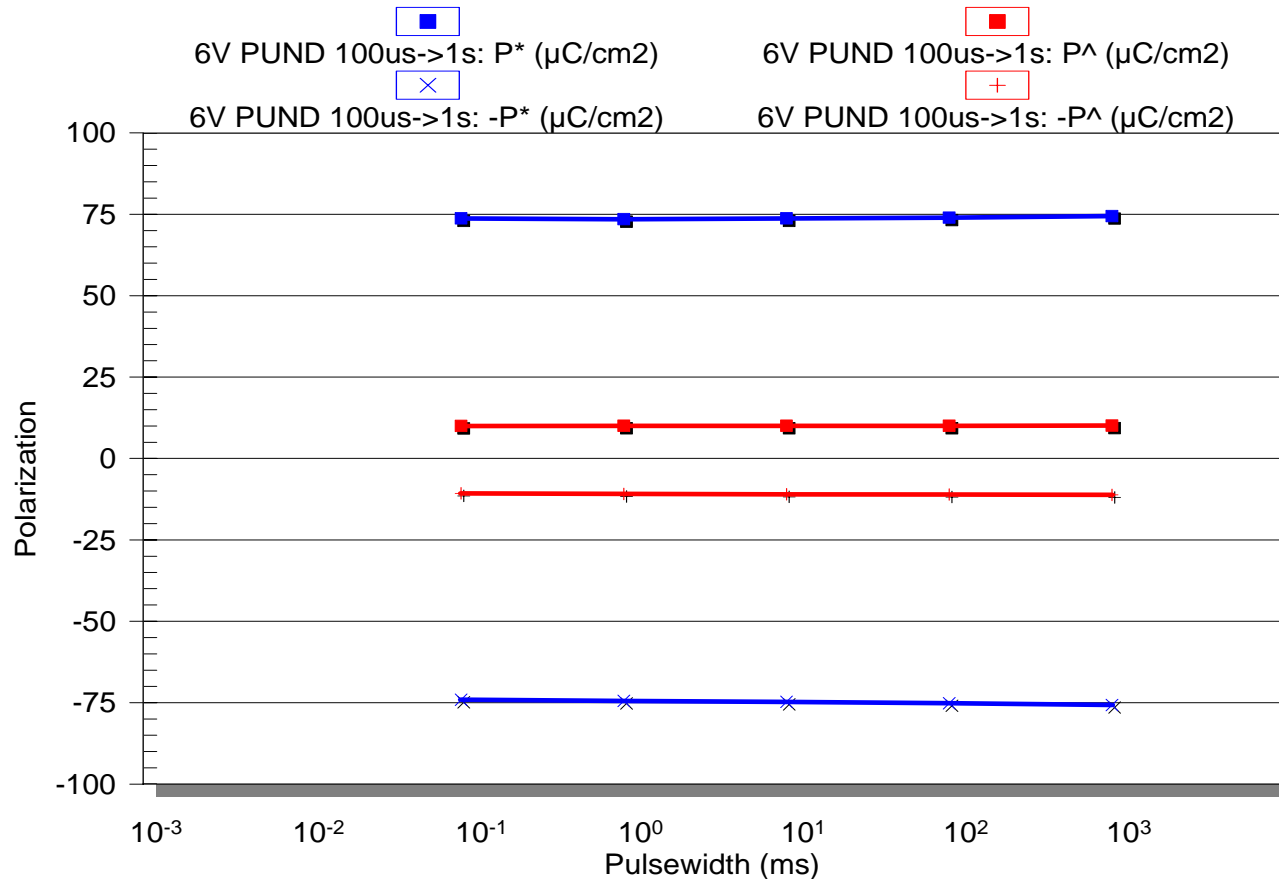
“deltaP”値はPUNDの分極反転パルスとその後の分極反転しないパルスにより作られた分極値の差です。それはヒステリシスループの残留部分です。そして、分極反転可能な自発分極値の2倍になります。

PUND 対 パルス幅

(6 Vにおける $\pm P^*$ 対 $\pm P^\wedge$)

PUND P^*/P^\wedge vs Pulsewidth

[Type AB WHITE]

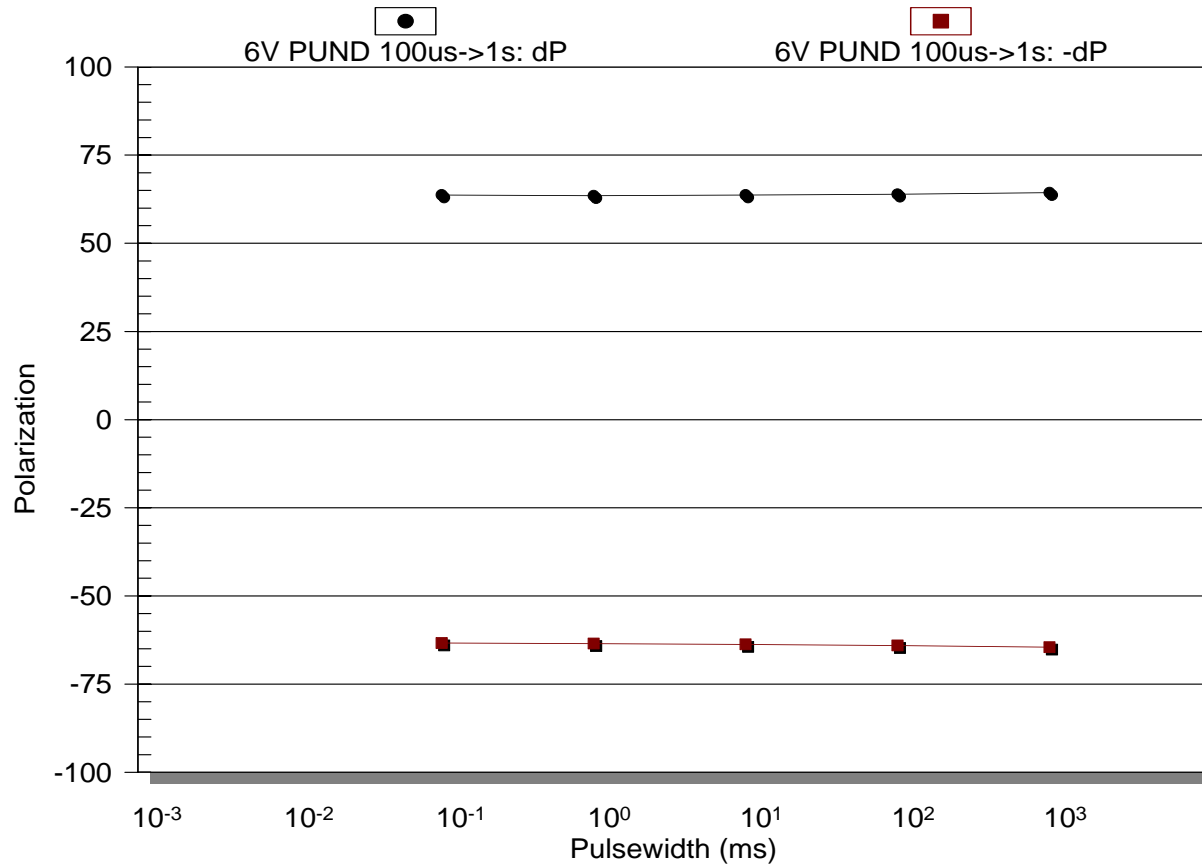


PUND 対 パルス幅

(6 Vにおける $\pm dP$)

PUND deltaP vs Pulsewidth

[Type AB WHITE]





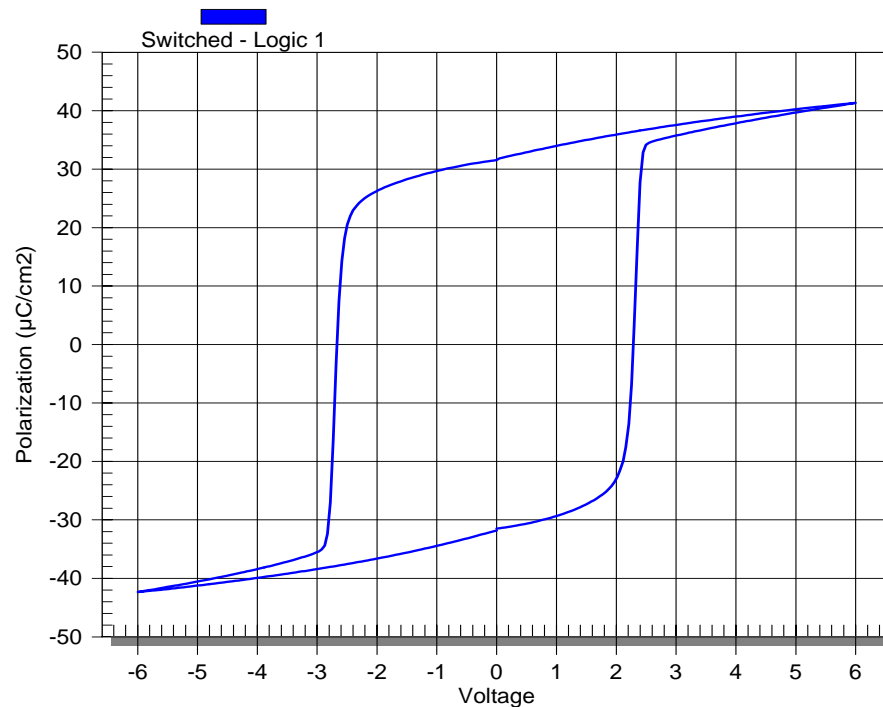
レmanentヒステリシスループの計測

- パルスの代わりに片側ヒステリシスループでPUND計測を実行することが可能です。
- 片側ヒステリシスループはレmanentヒステリシスループを作成するために、それぞれの片側のループから取り除くことが可能です。キャパシターのレmanent分極値に対する分極反転ループが得られます。
- レmanentヒステリシスループの計測は電流リーク抵抗と同様に誘電性や常誘電性効果による寄与分を除去します。
- VisionのレmanentヒステリシスTaskは計測を自動制御下で実行します。

分極反転する片側ループ

Switching Half-Loops

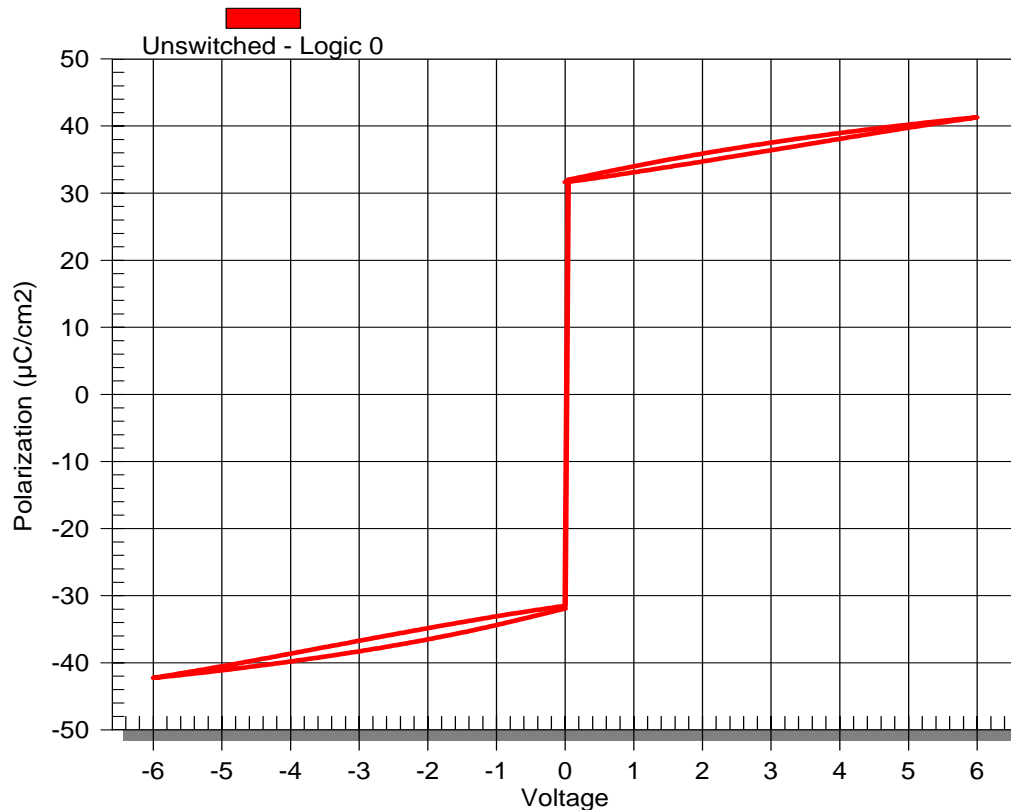
[Type AB WHITE]



上述の2つのグラフは2つの分極反転片側ループです。それぞれは事前に行った反対側の片側ループ後に計測しています。上述の計測は1つのループとして表れています。然し、それは本来、それぞれを元の形(通常ヒステリシス)に合わせるために、計測結果に加工してグラフ化したプラスとマイナスの計測を組み合わせた結果です。

非分極反転の片側ヒステリシス

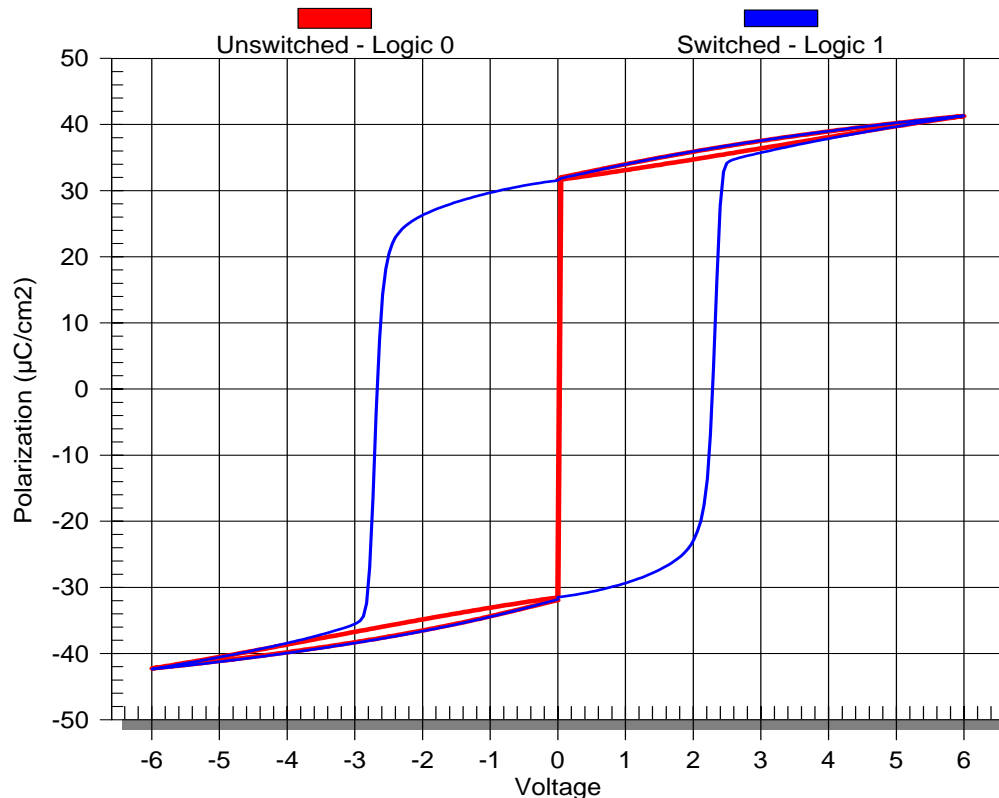
Non-switching Half-Loops
[Type AB WHITE]



分極反転を伴わない片側ヒステリシスは上記のようなグラフになります。
それぞれの分極反転片側ループとともにそれらを並べます。

分極反転 対 非分極反転

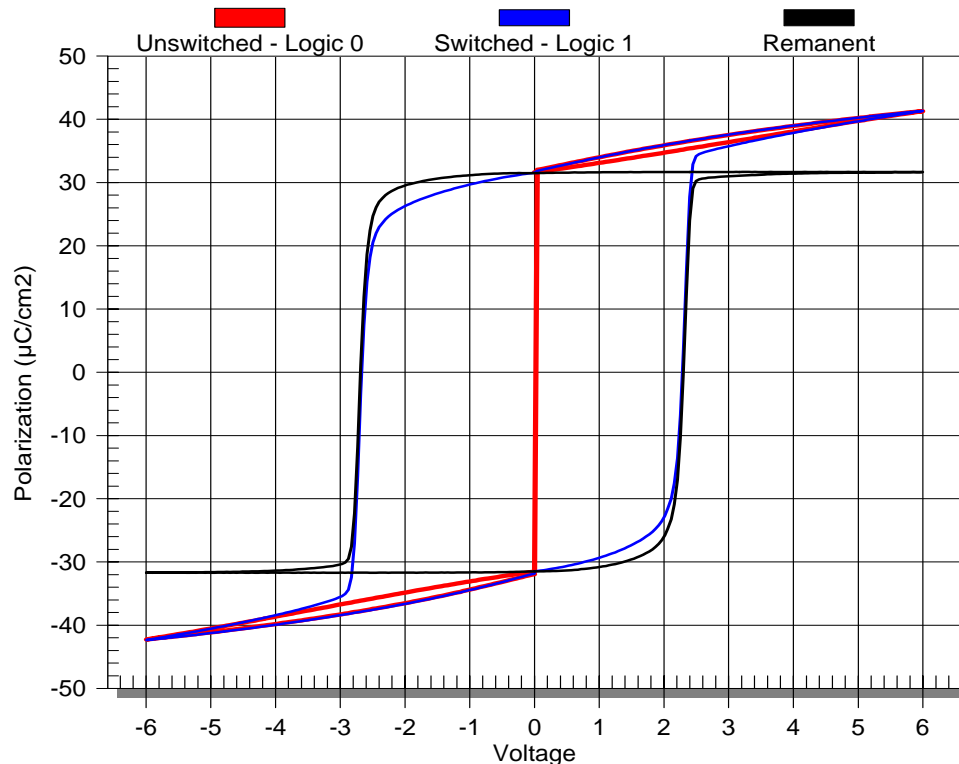
Switching Half-Loops
[Type AB WHITE]



どのようにして分極反転を伴わないループの戻り側の分極値曲線の形状が、分極反転ループの戻り側の分極値曲線と一致するのかを注意してください。(分極反転時のデータに浮遊容量が含まれていることを示しています。)

レマネントヒステリシスループ

Switching Half-Loops
[Type AB WHITE]



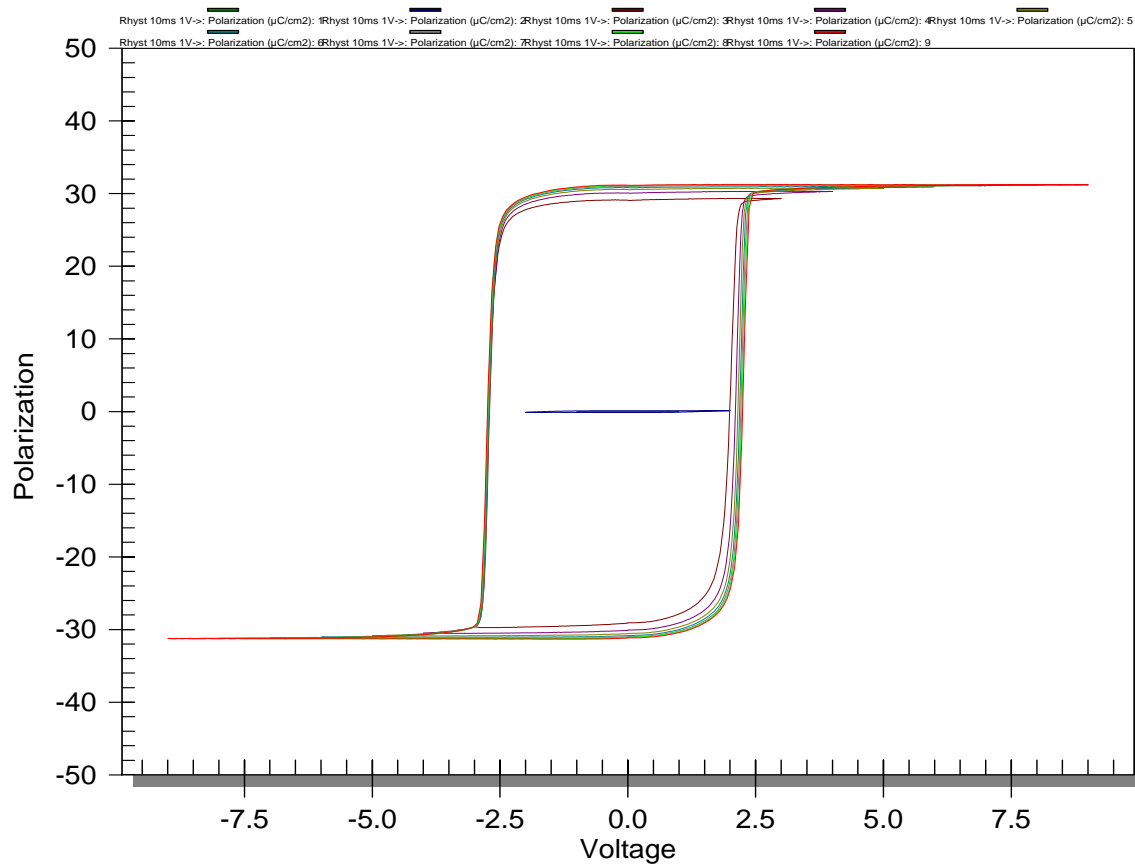
- 分極反転を伴うループから分極反転を伴わない片側ループを除去することで、レマネントヒステリシスを得ます。電圧や周波数(ヒステリシス計測時間)に対するレマネントヒステリシスループの残留分極値もグラフ化することが可能です。

ネスト化したレマネントヒステリシスループ

(10 ms)

1 Vから9 Vへ1 V刻みで計測

Rhyst vs Volts
[Type AB WHITE]

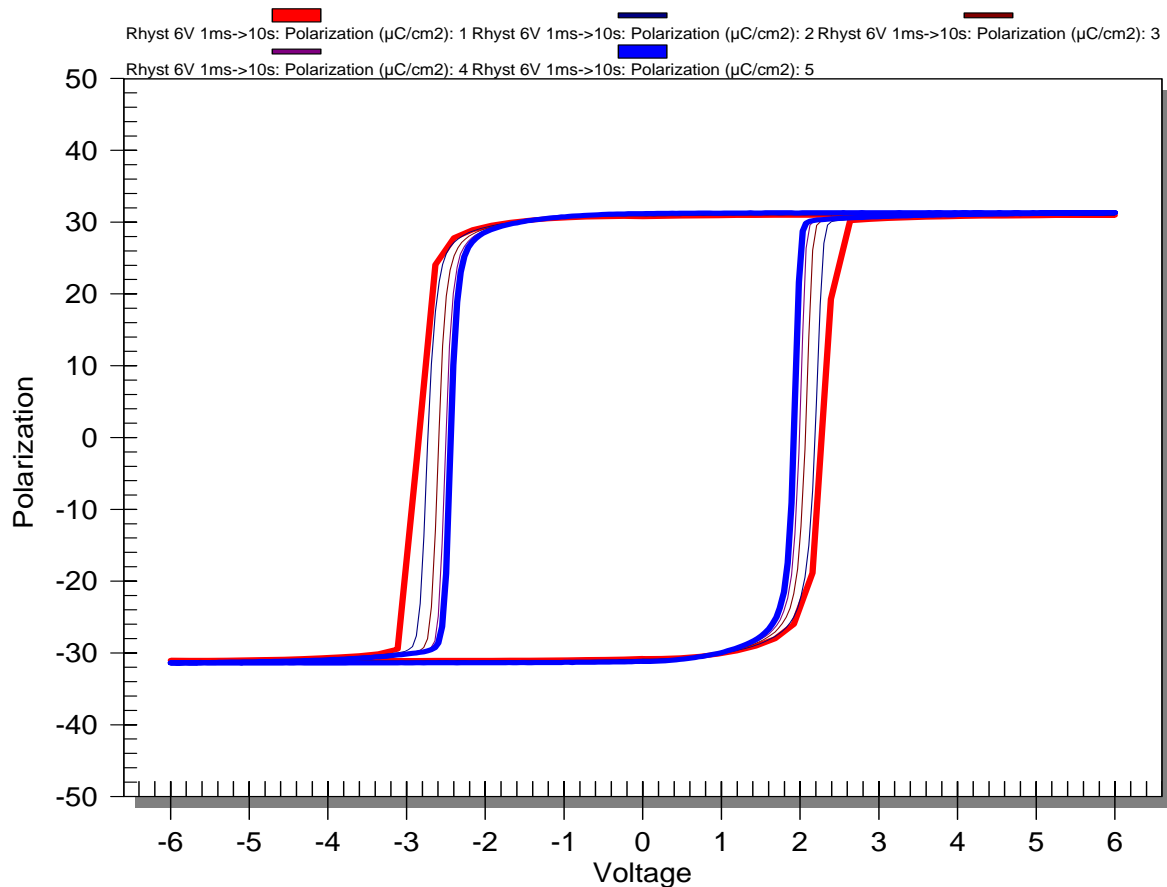


レmanentヒステリシスループ 対 時間

(6 V印加時に1 msから10 sまで)

Rhyst vs Period

[Type AB WHITE]

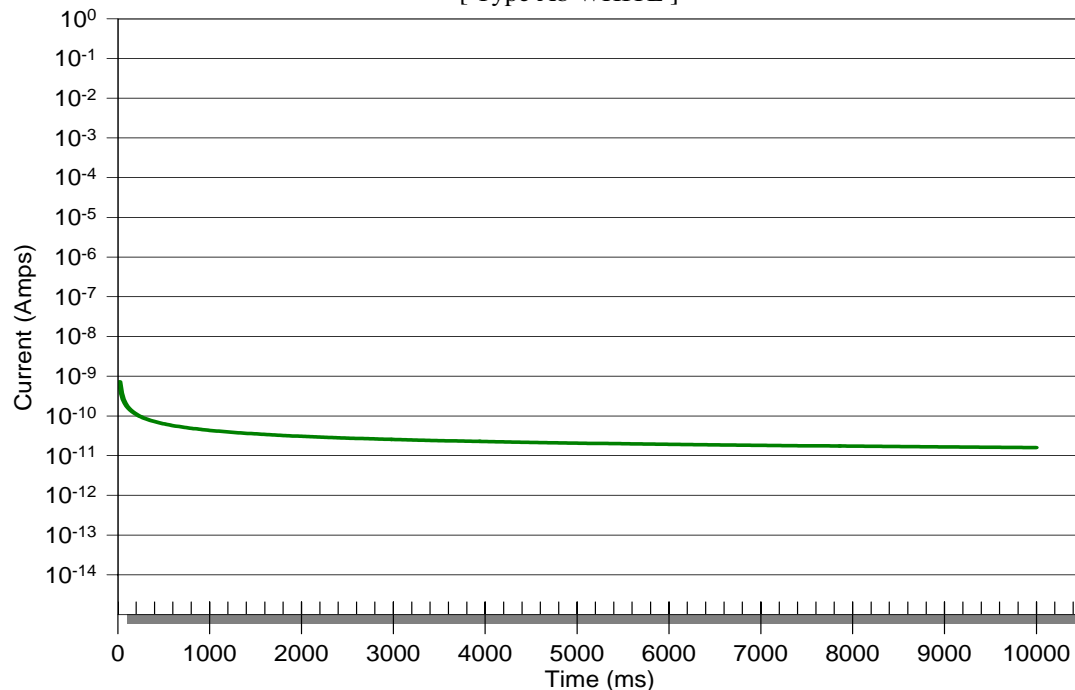


キャパシターを介したリーク電流

(慣らし時間100 ms、計測時間10 s)

DC Leakage in Amps @ 9V

[Type Ab WHITE]



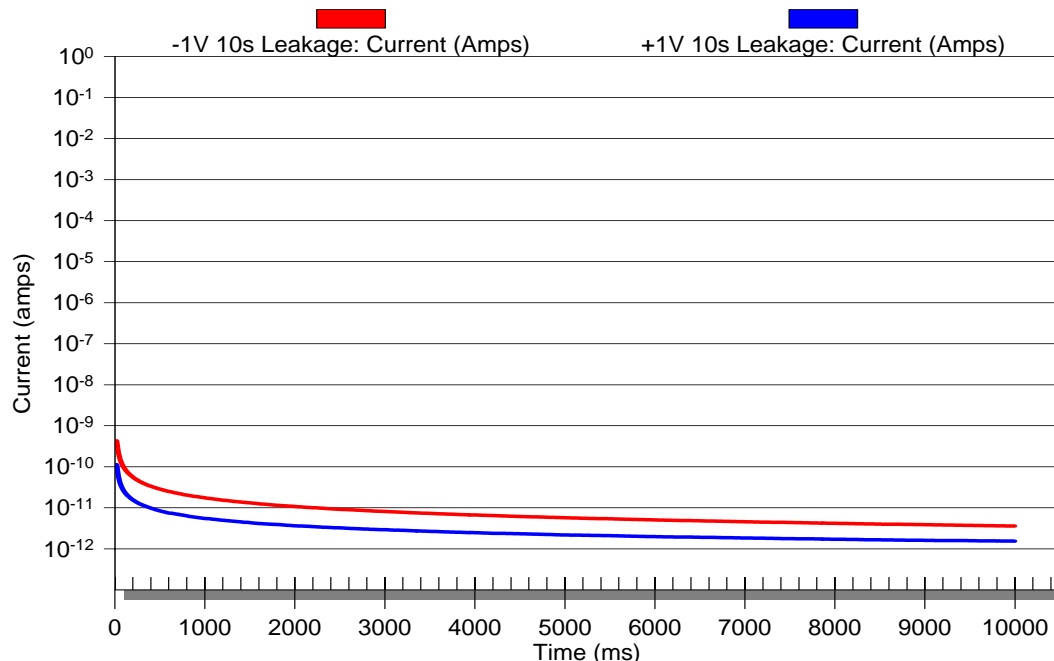
キャパシターを介したリーク電流は、キャパシターを通過し確定した電位と、キャパシターを通過し時間内に堆積したチャージの適用によって計測されます。通常、PZTキャパシターに対して、DCストレスの長さの増加につれてリーク電流は減少します。

残留分極 対 リーク電流

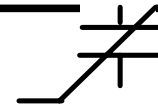
(慣らし時間100 ms、計測時間10 s)

Leakage With and Against +9V Remanent State

[Type AB WHITE]



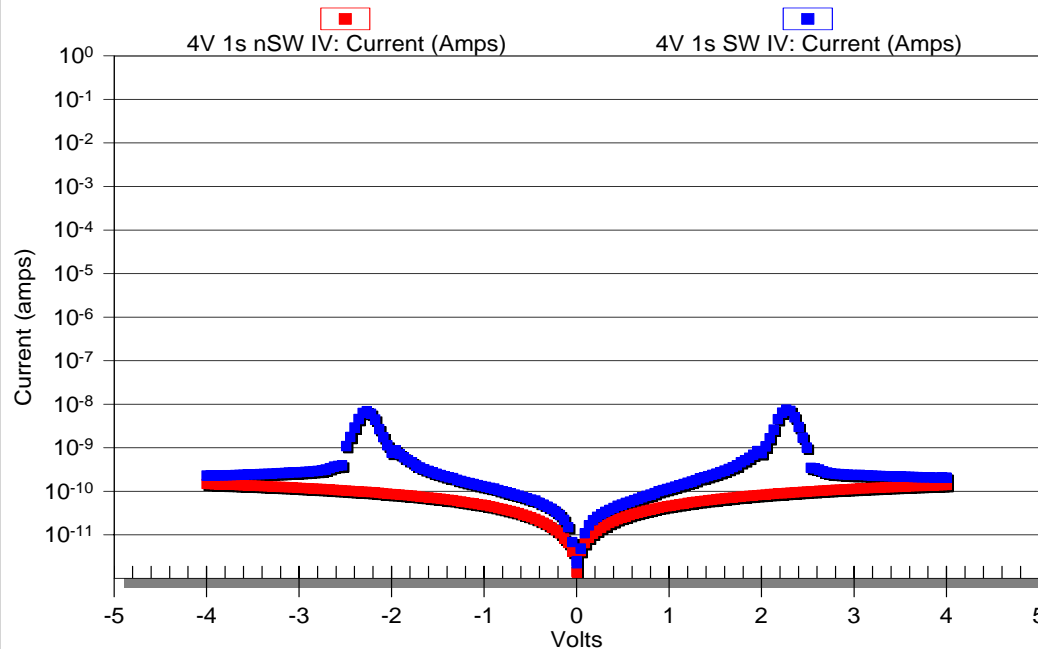
残留分極の状態はPZTキャパシターを通過するリーク電流に影響します。上記の2つのリーク電流計測は、反対方向のDCバイアスを加えて行いました。然し、両方の計測に対して同じ方向の残留分極を加えていません。(+9Vのパルス +1Vのリーク測定 -1Vのリーク測定)



電流対電圧

(慣らし時間100 ms、計測時間1 s)

Switched vs Unswitched 1s IV
[Radiant Type AB BLUE]



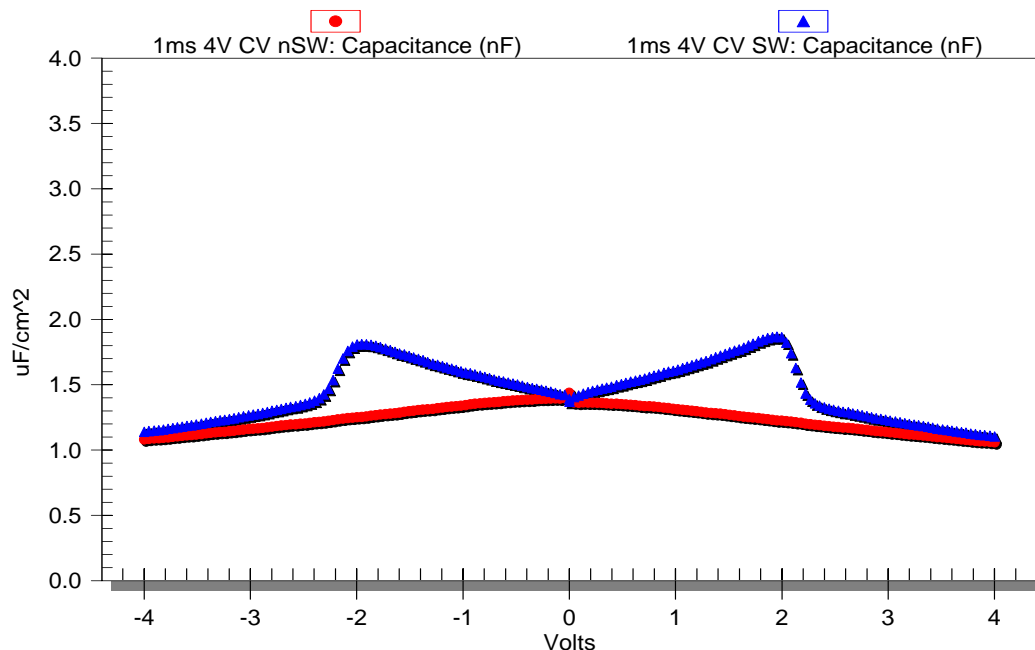
青いType ABキャパシターは、白いキャパシターと同じ構成で、同じ厚みです。青いキャパシターの面積は100,000 cm²で、白の10倍の大きさです。その大きな面積により、リーク計測の間、デバイスを通過する実際の電流は増加します。

キャパシターの電流のリークはDCバイアスの働きとしてグラフにできます。上記に2つのI/V計測がグラフ化しています。1つ目は分極反転、2つ目は非分極反転です。その“分極反転”のグラフのリークに見られるこぶに注意してください。それはヒステリシスループの保持電位に挿引電位が近づいたときに起こります。リークは保持電位で高くなります。

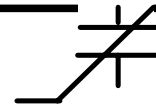
微小信号静電容量 対 電圧

(慣らし時間100 ms、1 kHz計測)

1KHz SW vs nSW CV
[Radiant Type AB BLUE, 9V preset]

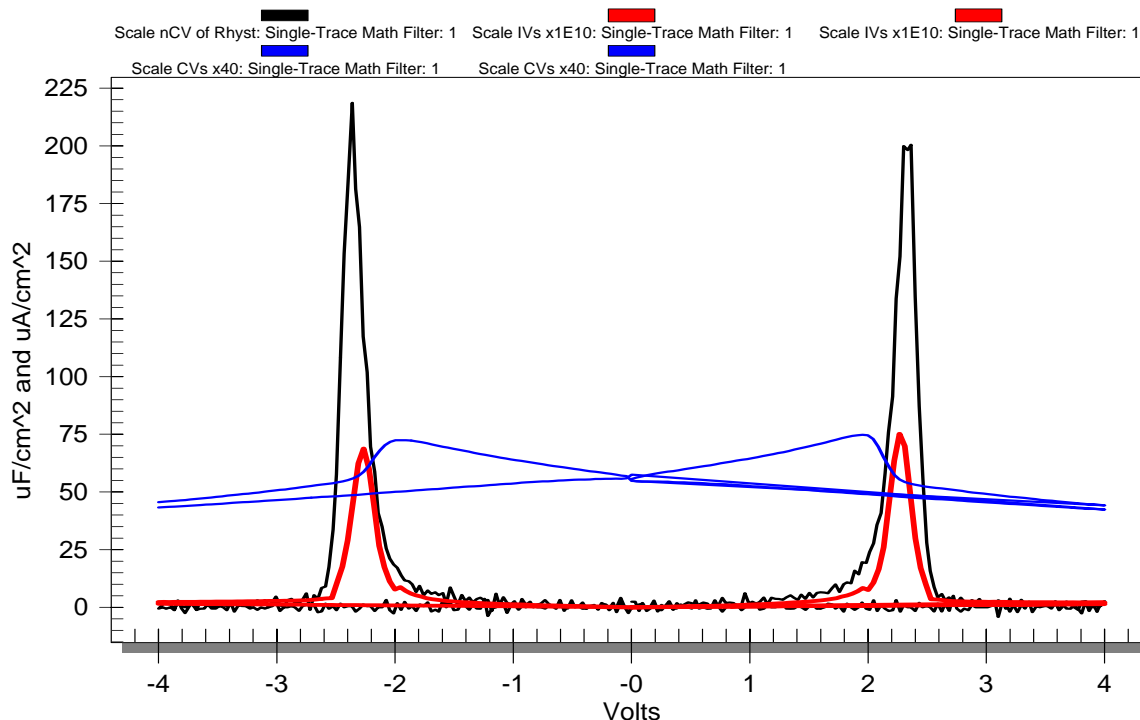


微小信号静電容量計測 (Advanced C/V Task) は電位振幅を使用して試料の静電容量を評価します。その振幅は計測によって残留分極が変化しないほど小さなものです。I/V計測のように、Advanced C/V計測は電圧の範囲の間、実行することができます。残留分極の状態によって影響されます。



I/V 対 Advanced C/V 対 Hysteresis

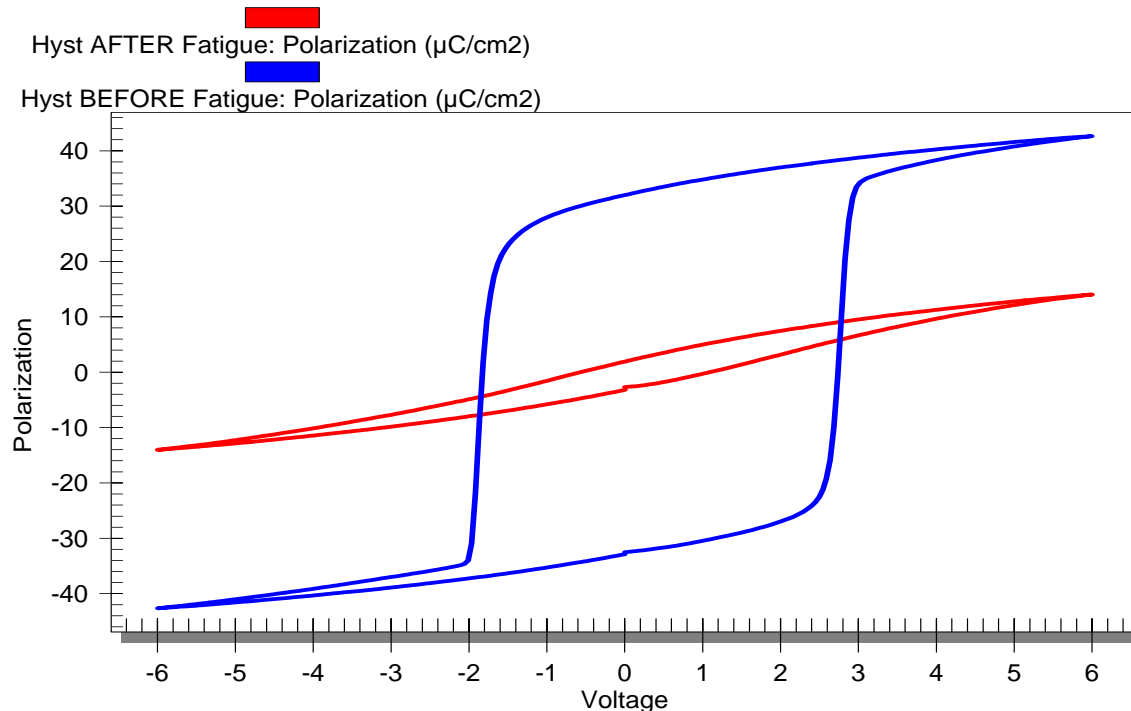
nCV vs ssCV vs IV
[Radiant Type AB BLUE]



それぞれの計測のスケール調整により同じ図上にそれらを一緒にグラフ化することで、リーク対電圧、微小信号静電容量対電圧、残留分極の標準化CV対電圧(ヒステリシスデータを変化した結果)の関係を調べることができます。とても興味深い結果です。

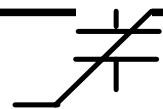
ファティーグ(疲労)

Hysteresis BEFORE and AFTER Fatigue
[Radiant Type AB WHITE]

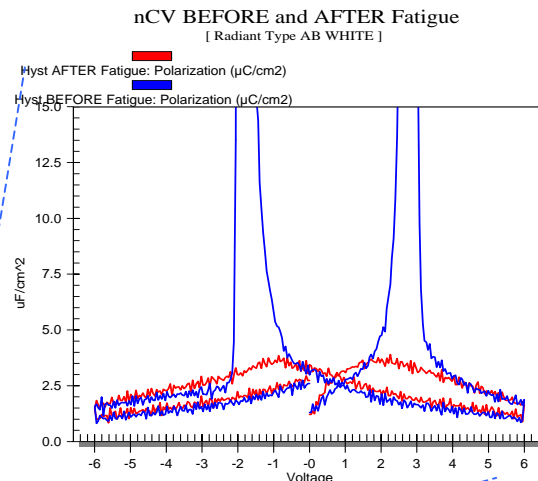
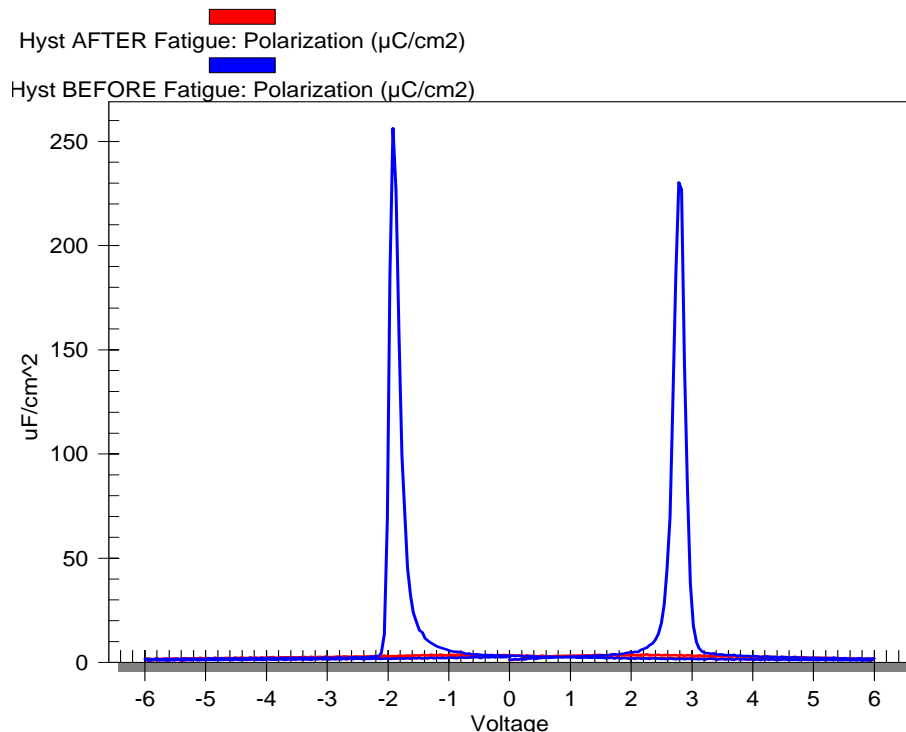


ファティーグ(疲労)はキャパシターにループサイクルを繰り返すことで分極を失うことと定義されます。ドメインが疲労によって分極方向を反転してしまうことを履歴は示します。残留分極が反転しない単分極パルス(非分極反転片側ループ)では疲労は起こりません。Type AB キャパシターの20/80 PZT は激しく疲労します。

ファティーグ (疲労)



nCV BEFORE and AFTER Fatigue
[Radiant Type AB WHITE]

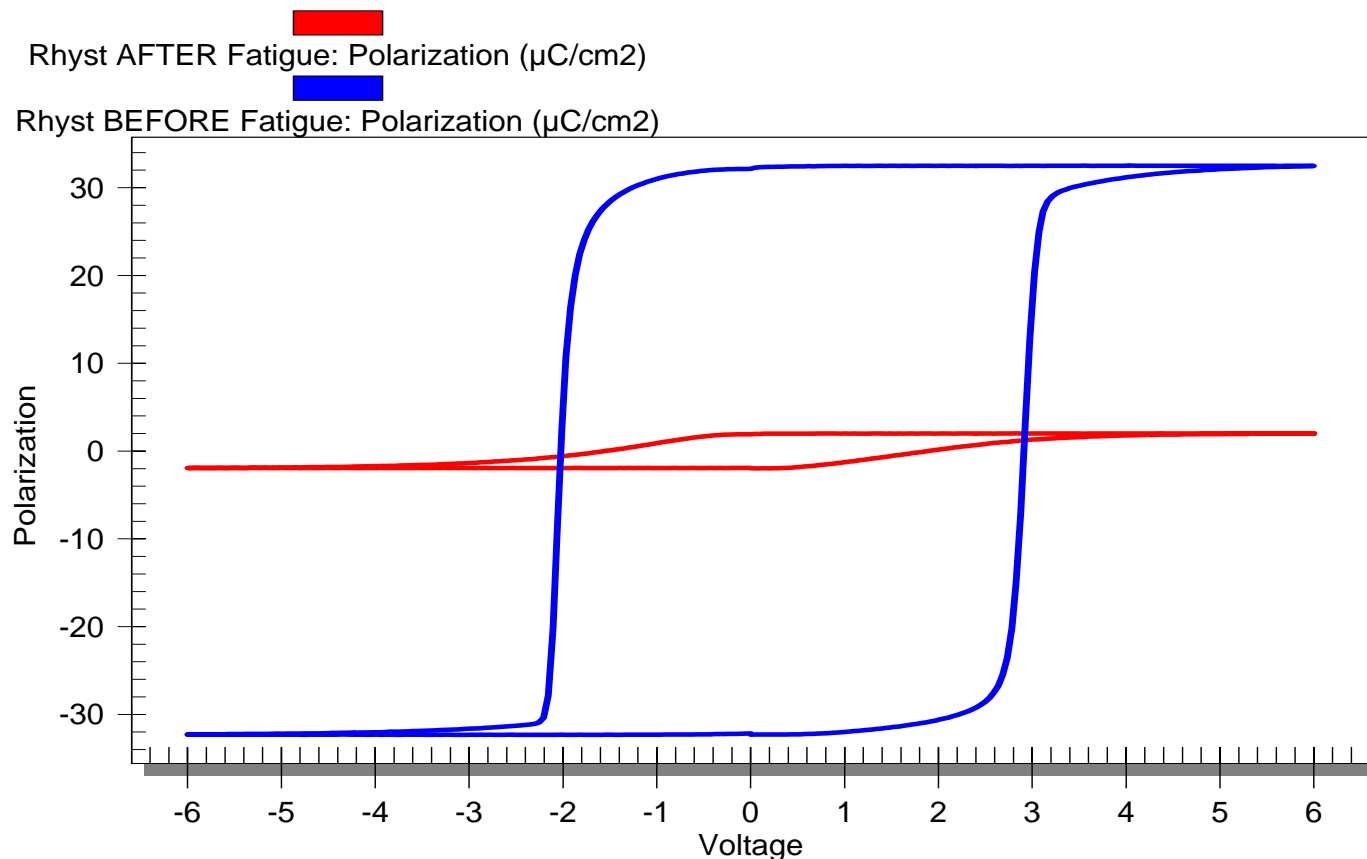


疲労前後のヒステリシスループの標準化C/Vから、分極反転ピークが疲労の進捗につれて消失することが明らかとなります。右に拡大された図は線形の静電容量とリークを示しています。試験を始める前からすでに小さく、試験後にほとんど無くなりました。

ファティーグ (疲労)

Rhyst BEFORE and AFTER Fatigue

[Radiant Type AB WHITE]

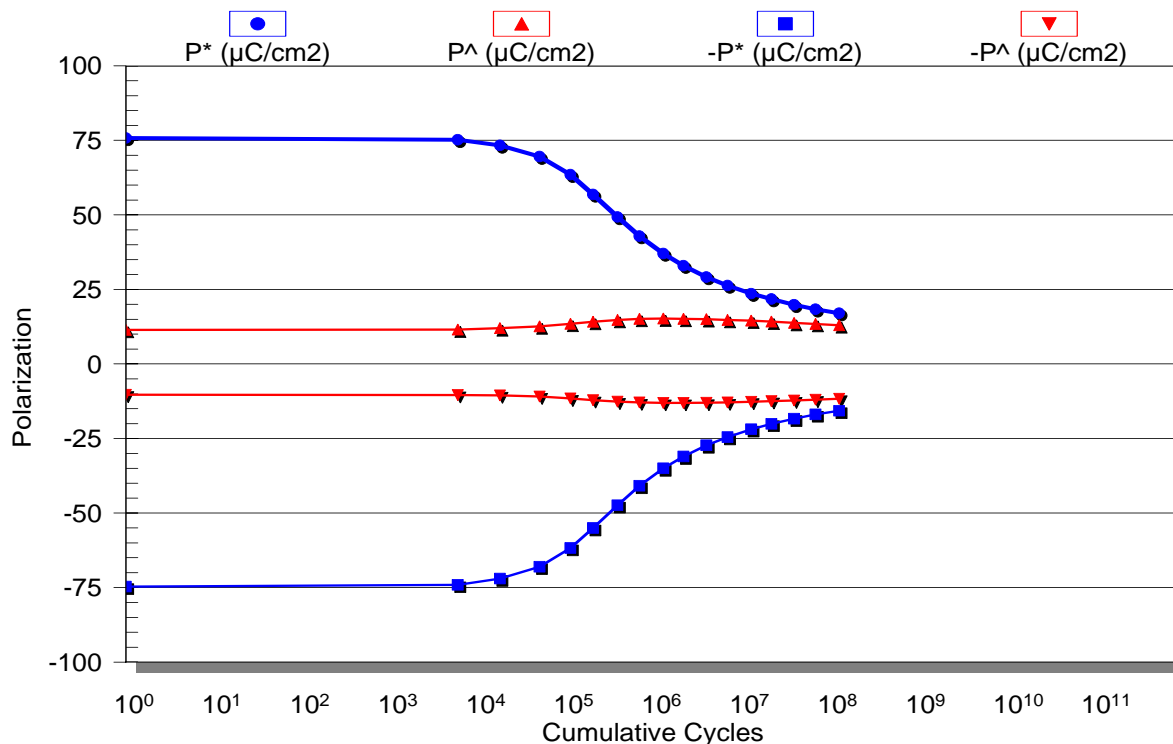


疲労前後のレマネントヒステリシスは、疲労後に残留分極は多く減少しますが、いらかは存在していることを示しています。

ファティーグ (疲労)

3kHz Triangle Fatigue @ 6V

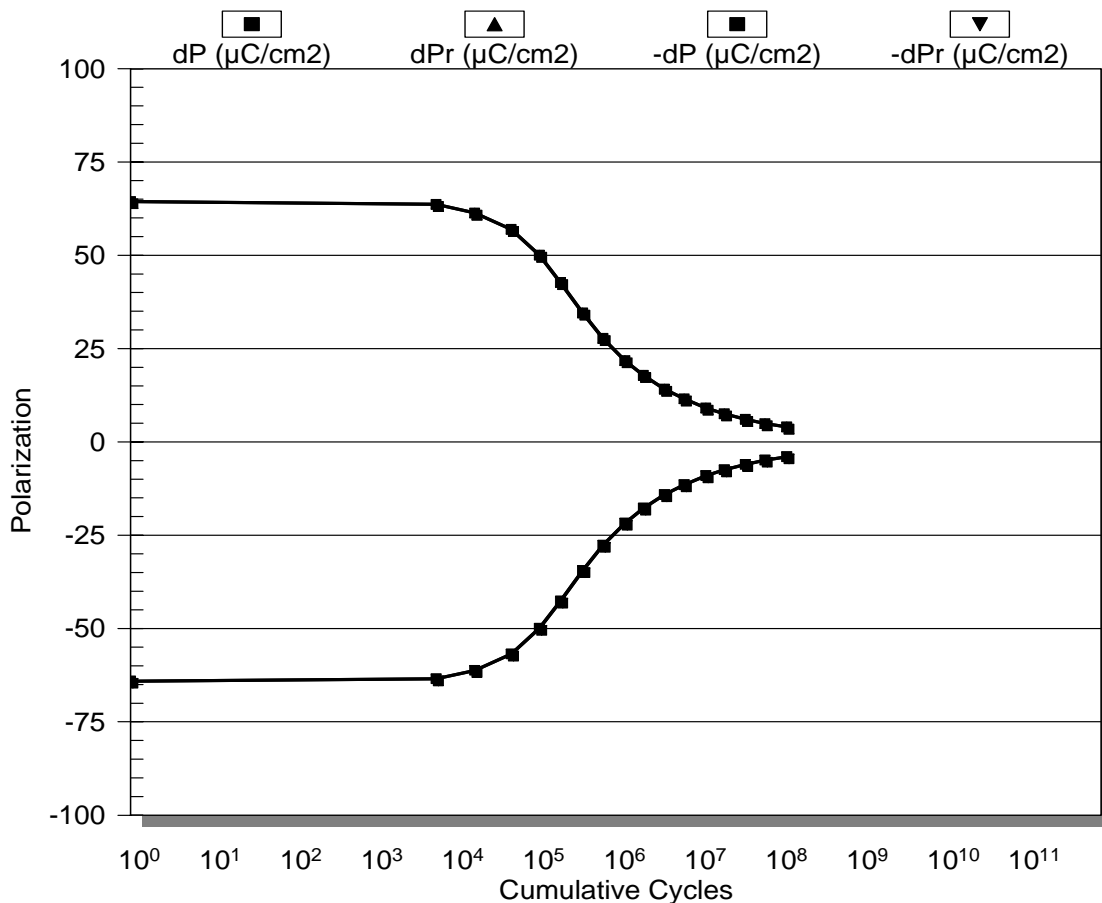
[Radiant Type AB WHITE]



標準的な疲労試験は繰り返しの影響としてPUND値を観測します。このキャパシターは疲労の効果を得るために、6 V、3 kHzの三角波で繰り返し試験を行いました。分極反転のパラメーター $\pm P^*$ が大きく変化する間、分極反転を伴わないパラメーター $\pm P^{\wedge}$ はたいして変化しないことに注意してください。残留分極が主として疲労します。

ファティーグ (疲労)

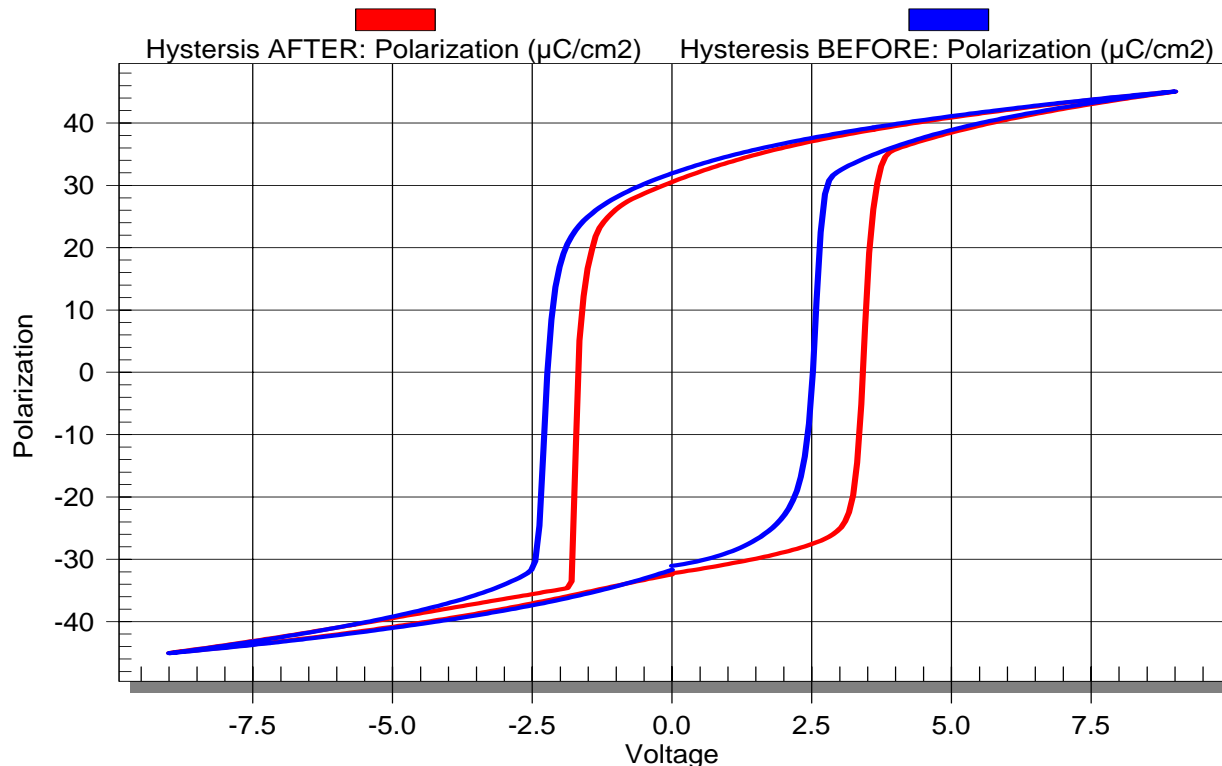
3kHz Triangle Fatigue @ 6V
[Radiant Type AB WHITE]



残留分極が主として疲労することを示しています。

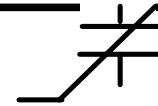
インプリント

Hysteresis Before and After 155C Imprint
[Type AB WHITE Unpackaged Die]

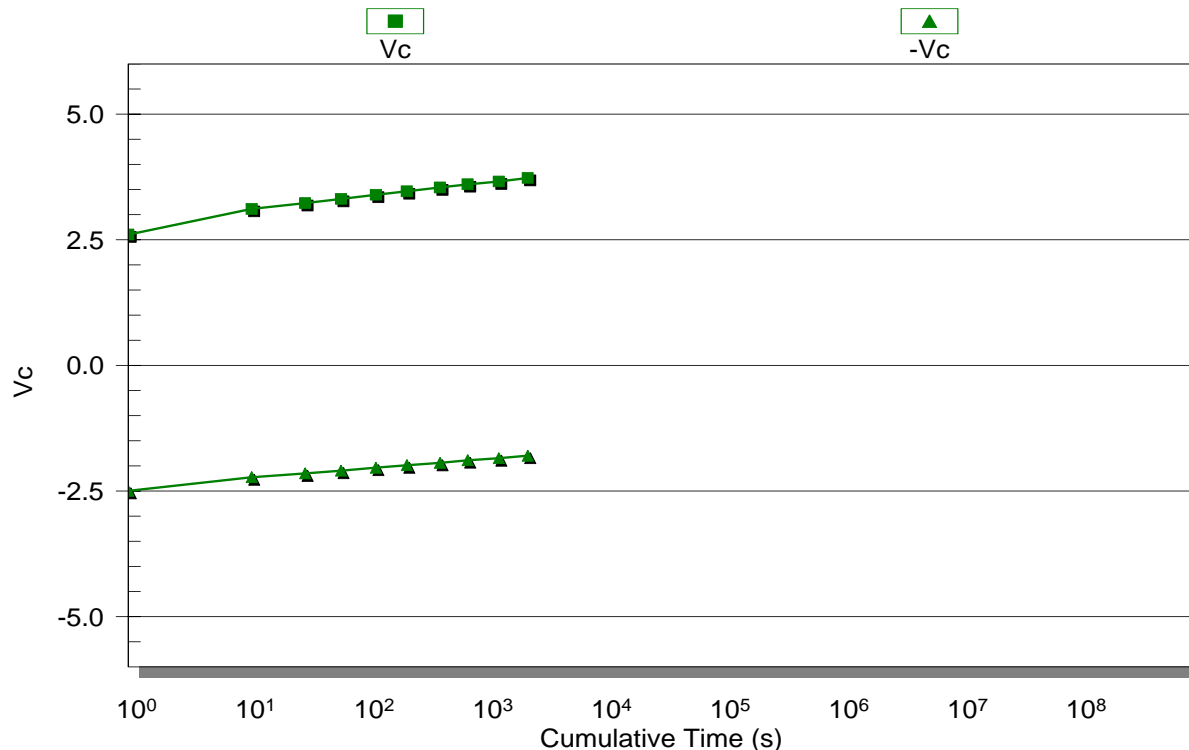


インプリントはメモリキャパシタの信頼性の問題です。主たる機構は長い時間をかけた内部のDCバイアスの緩やかな成長です。それは電圧軸に平行にヒステリシスループがシフトします。それは温度により加速します。上記のキャパシタは青と赤のループの間に、155 で2300秒間の試験を行いました。

インプリント



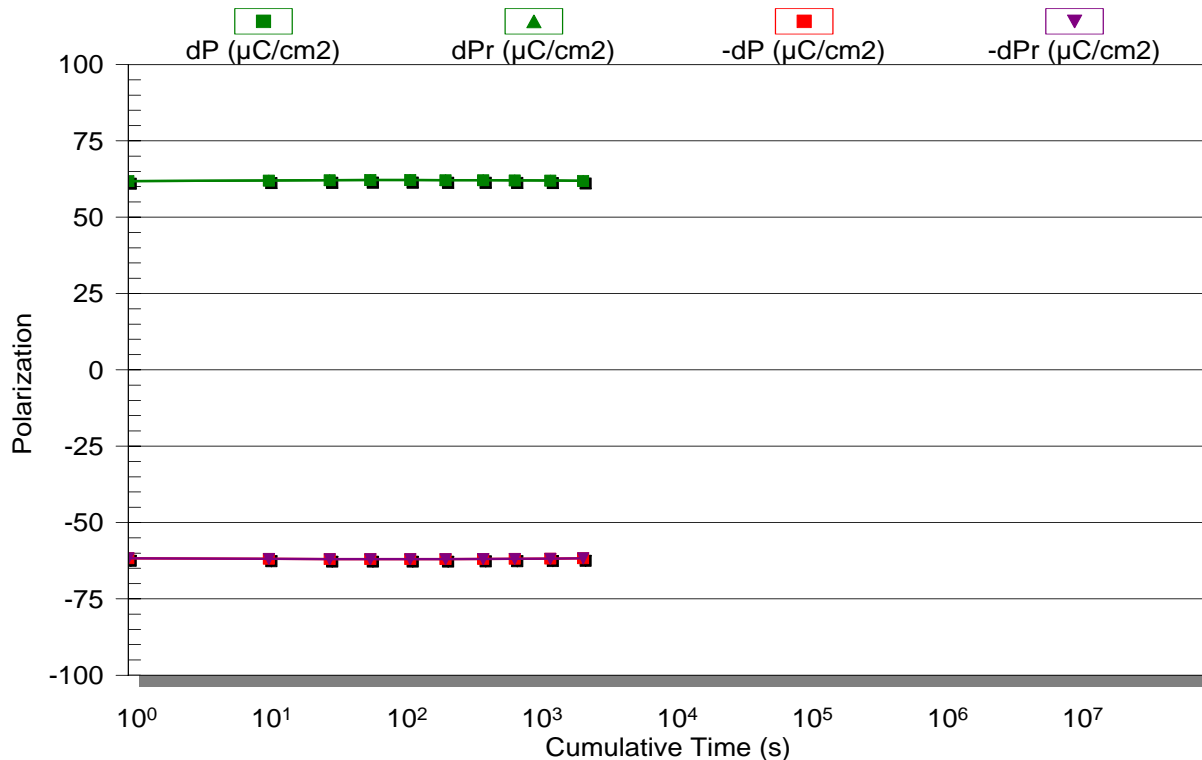
Coercive Voltage Shift due to 155C Imprint
[Type AB WHITE Unpackaged Die]



1x10⁹ 秒は30年。1x10^{8.5} 秒は10年に相当します。キャパシターが同じ残留分極状態を持つ限りインプリントのシフトは常に起こります。上記のデータでは、155のインプリント時間の間、キャパシターの分極は“マイナス”側でした。

インプリント

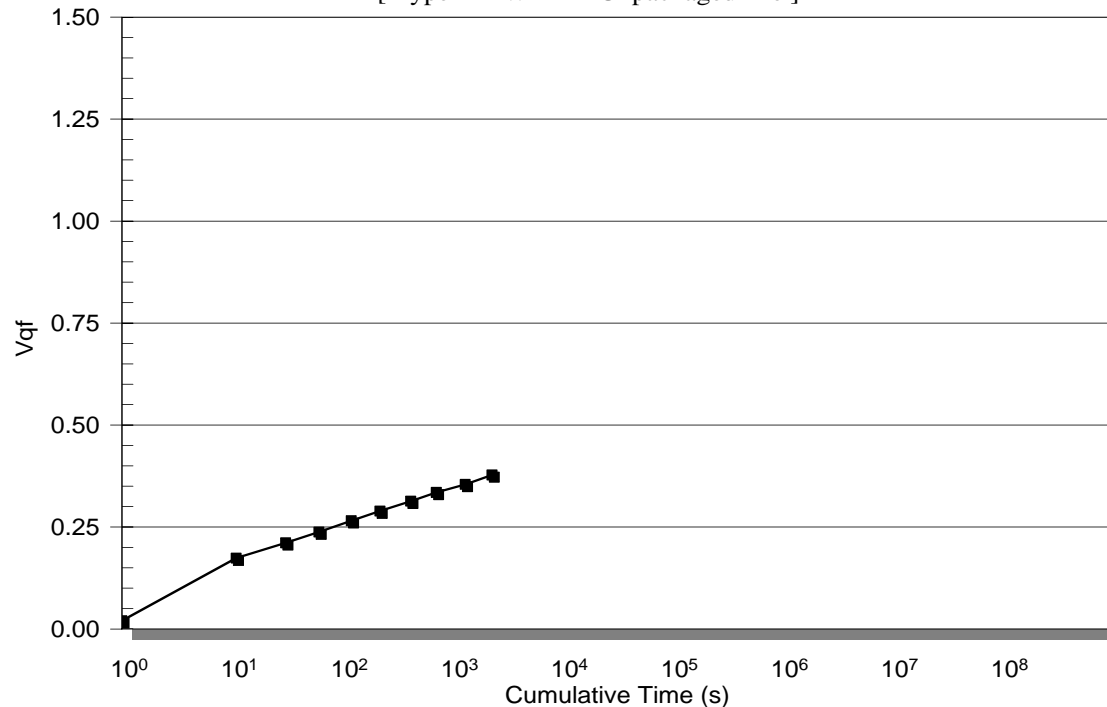
Change in Remanent Polarization due to 155C Imprint
[Type AB WHITE Unpackaged Die]



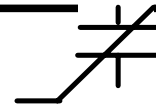
キャパシタのヒステリシスが右側にほぼ完全にシフトした事実にもかかわらず、インプリント時間の間、定期的に計測されたキャパシタの残留分極は劣化が無いことを示しています。とは言っても、一度ヒステリシスが十分遠くにシフトすると、残留分極は劣化し始めるでしょう。

インプリント

Figure of Merit vs Time
[Type AB WHITE Unpackaged Die]

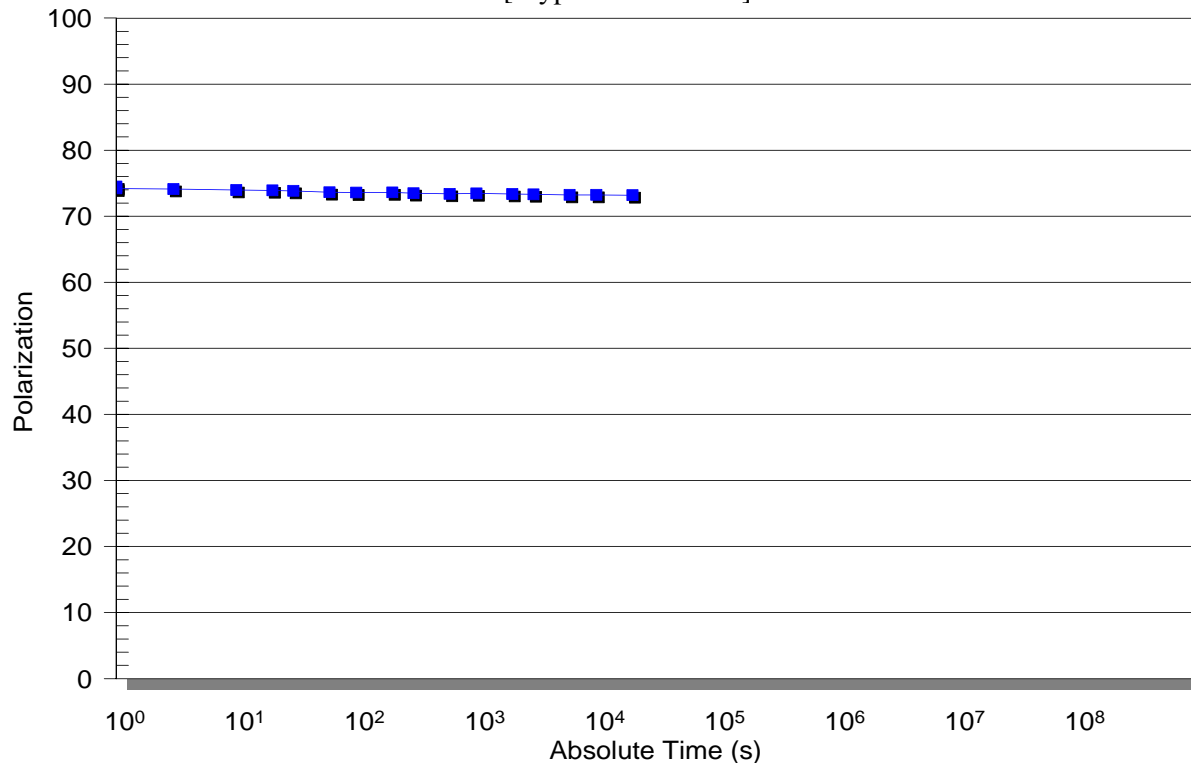


インプリントFOM (Figure of Merit) は電圧シフトを初期のインプリントされていない保持電圧で割ることとして、ラジアントにより定義されています。ヒステリシスループが初期の保持電位の距離分シフトするとき (言い換えれば、FOM = 1)、キャパシターのように使用する FeRAM タイプのメモリーは失敗し始めるでしょう。その点で書き込まれたデータはメモリーに永遠に“インプリント”します。従って、上記のキャパシターは155 の状態で30年後に、ちょうどインプリントするはずで

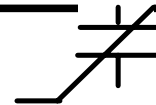


リテンション

Capacitor A Retention of Switched State
[Type AB WHITE]

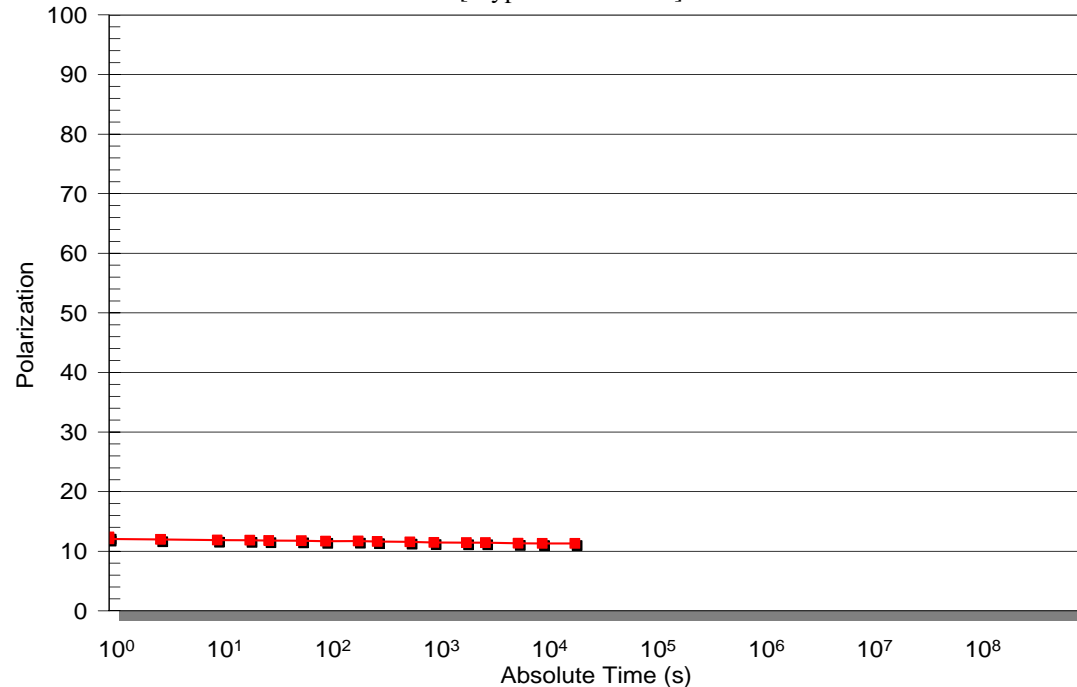


リテンションの計測自体は単純です。書き込みパルスを与え、リテンション時間を待ち、読み込みパルスを与えます。長時間、繰り返します。上記のグラフはキャパシターを“マイナス”状態に保持しました。そのため、それぞれの計測点を読み込むときに分極は反転しました。



リテンション

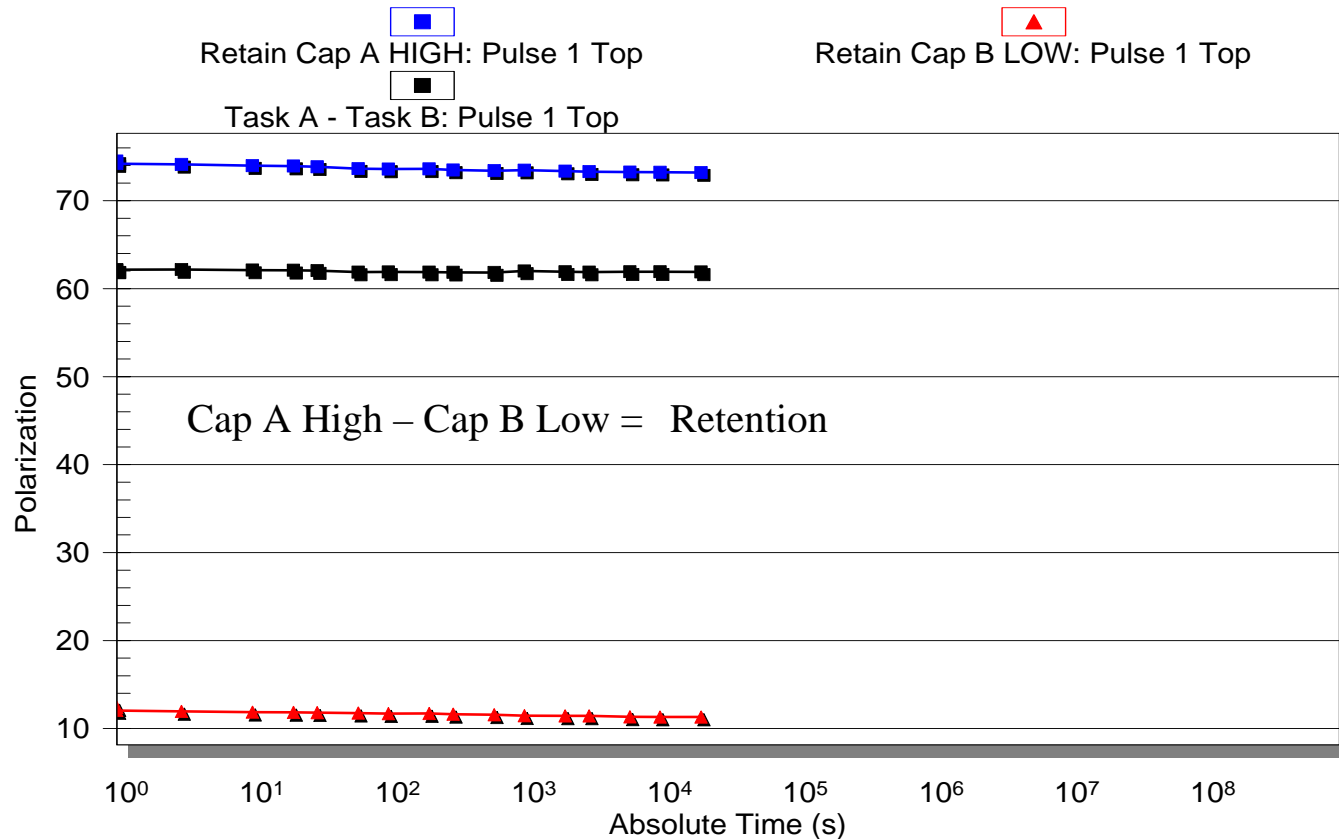
Capacitor B Retention of Non-switched State
[Type AB WHITE]



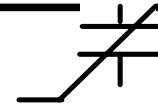
リテンションの分析は複雑です。計測の間にインプリントが起るからです。初期の分極状態がインプリントの方向を決定します。インプリントは初期分極の逆状態の最大分極値を、初期分極の方向にシフトします。(初期分極がマイナス側なら、プラスのPmaxをマイナス側に下げます。)同じキャパシター上で、逆方向に連続したリテンション計測の実行で、リテンションを計測することはできません。2番目の計測はインプリントされた状態から始めることとなります！逆状態のリテンションは2つの新しい同じキャパシターで、それぞれ計測するべきです。

リテンション

Switched/Unswitched Retention @ Room Temperature
[Type AB WHITE]



メモリの有効寿命内での保持状態の傾向を理解するために、分極反転状態から非分極反転状態を取り除きます。



キャパシターパラメータ 対 温度

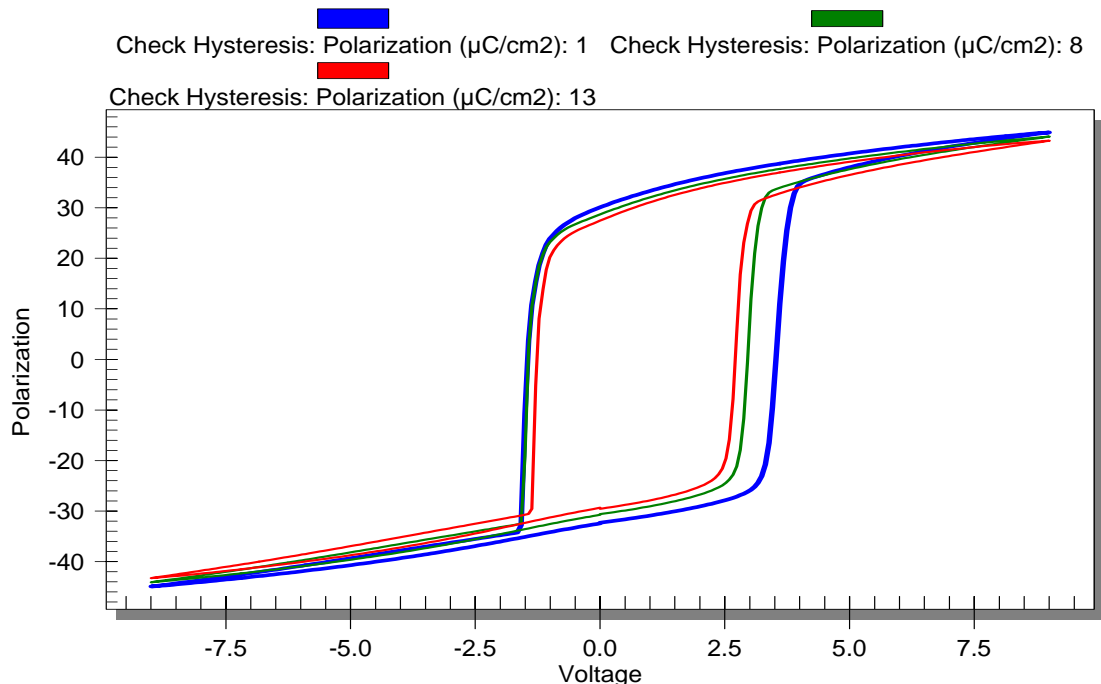
- この資料内のここまでの計測結果は、素子(キャパシター)の能力を定義する多数のパラメータのデモを行っています。
- それらのパラメータのほとんどは温度により変化します。
- この資料内の次のセクションでは、温度の働きとして同じ特性(ヒステリシス、PUND、リークなど)をグラフ化します。
- 全ての温度を基準とした計測は、半導体プローブステーションのホットチャック上の個別のチップで実行しました。

ヒステリシス 対 温度

(計測時間10 ms、最大電圧9 V)

Hysteresis vs Temperature

[Type AB WHITE die]



青は30 °C

緑は100 °C

赤は150 °C

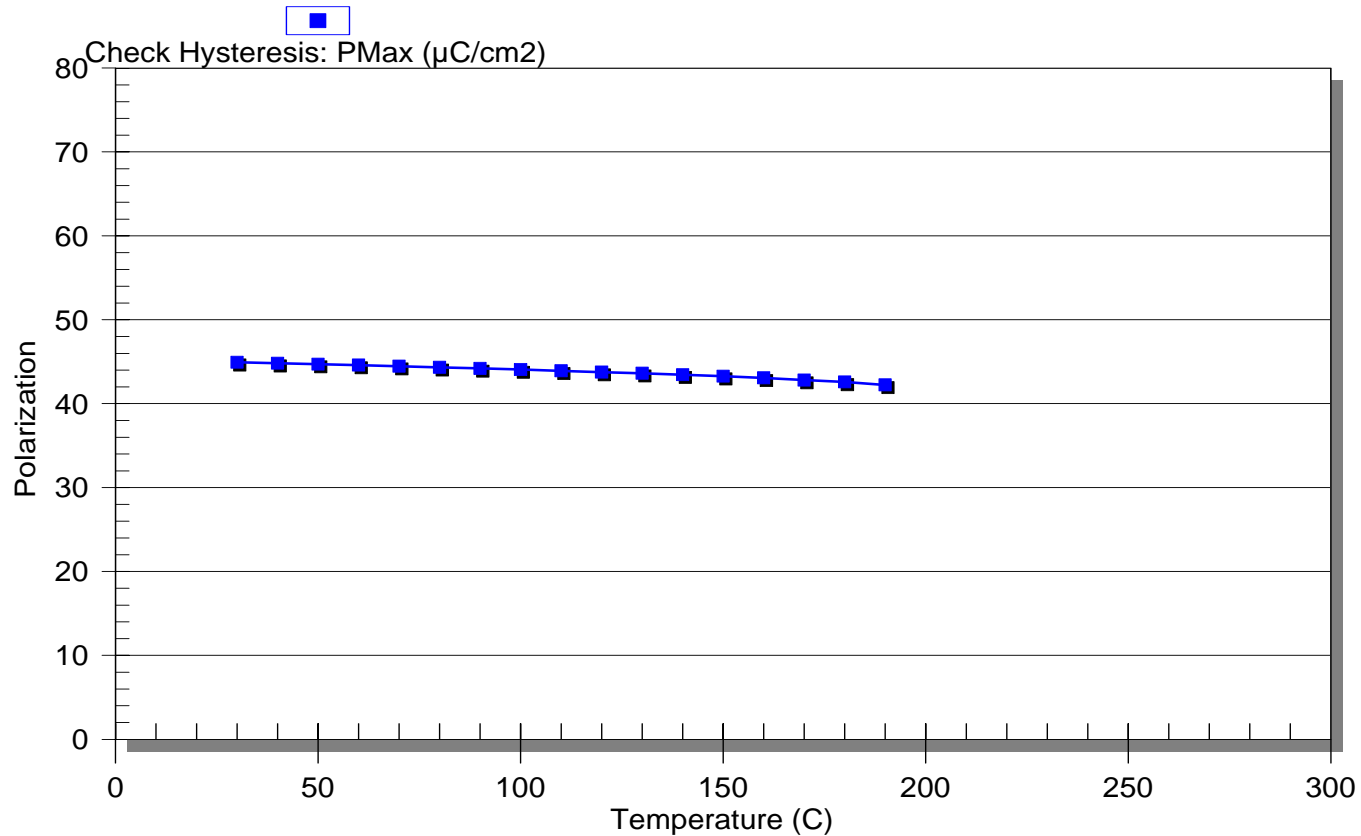
インプリントによるヒステリシスループのオフセットに注意してください。
その計測されたキャパシターは、この計測前にわざと1時間インプリント
されています。そのため、テストの間に、移動しません。

最大分極値 対 温度

(計測時間10 ms、最大電圧9 V)

Pmax vs Temperature

[Type AB WHITE die]

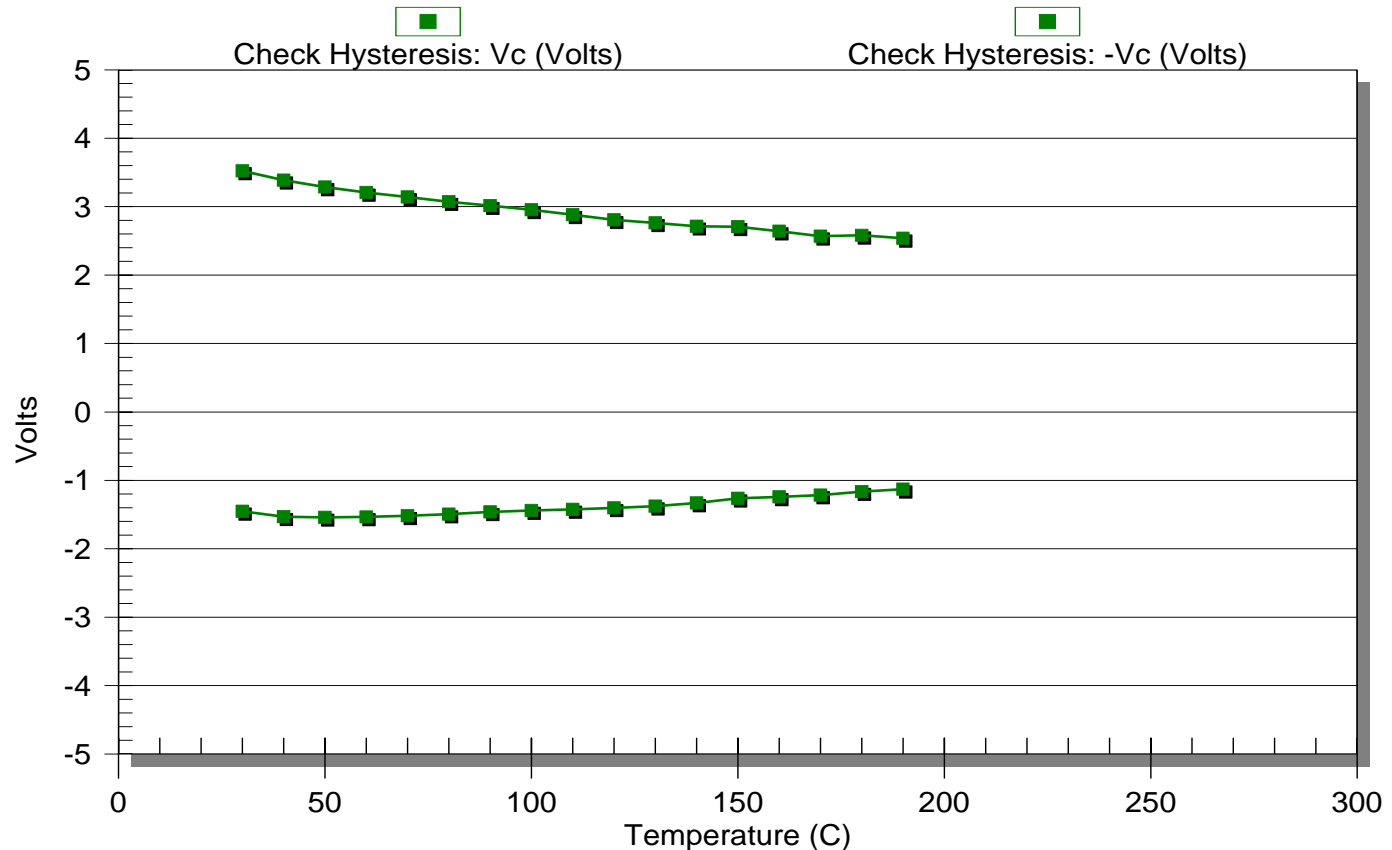


保持電位 対 温度

(計測時間10 ms、最大電圧9 V)

V_c vs Temperature

[Type AB WHITE die]



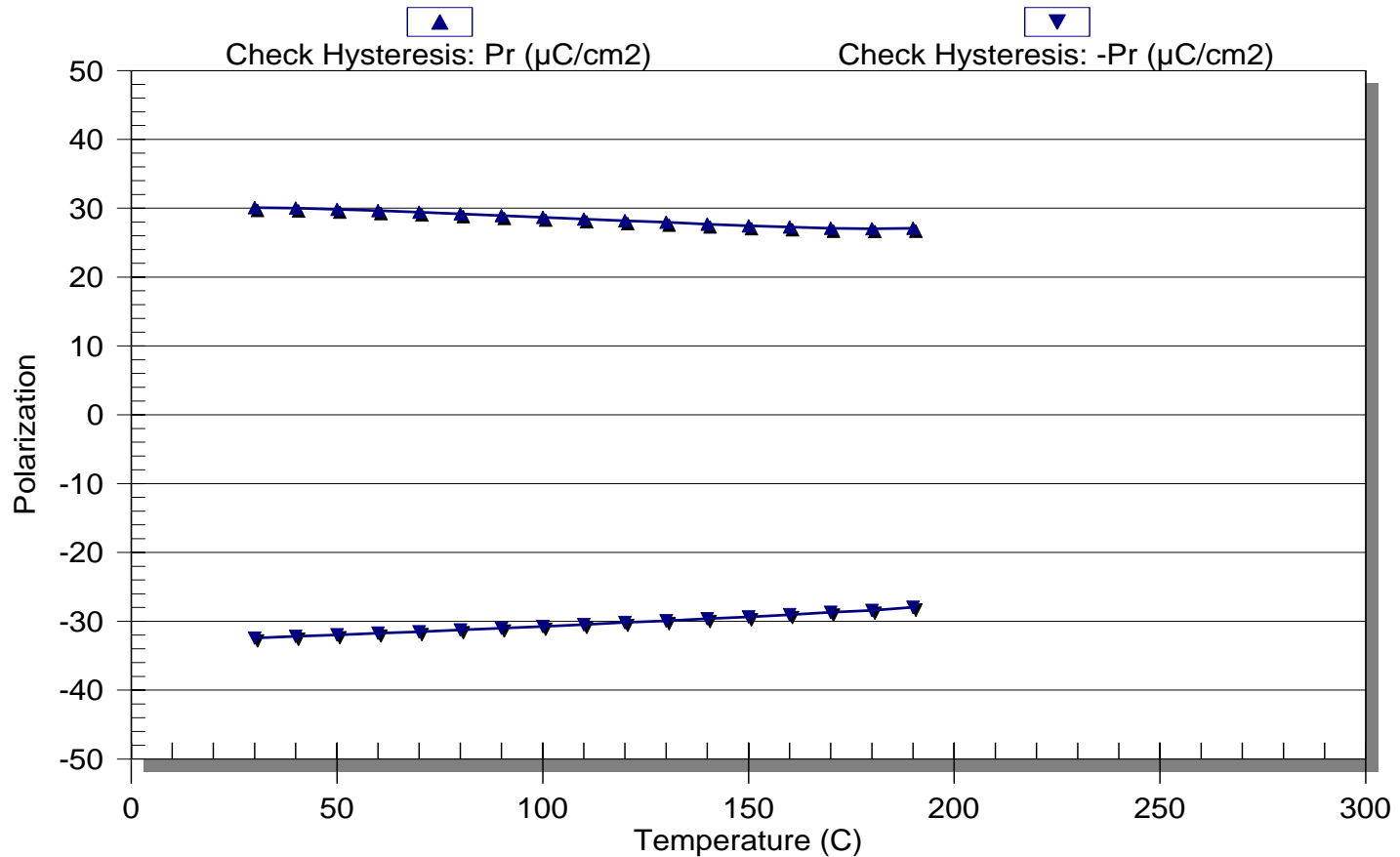
±V_c値は初めから非対称です。試料の初期インプリントが原因です。

± Pr 对 温度

(計測時間10 ms、最大電圧9 V)

Pr vs Temperature

[Type AB WHITE die]



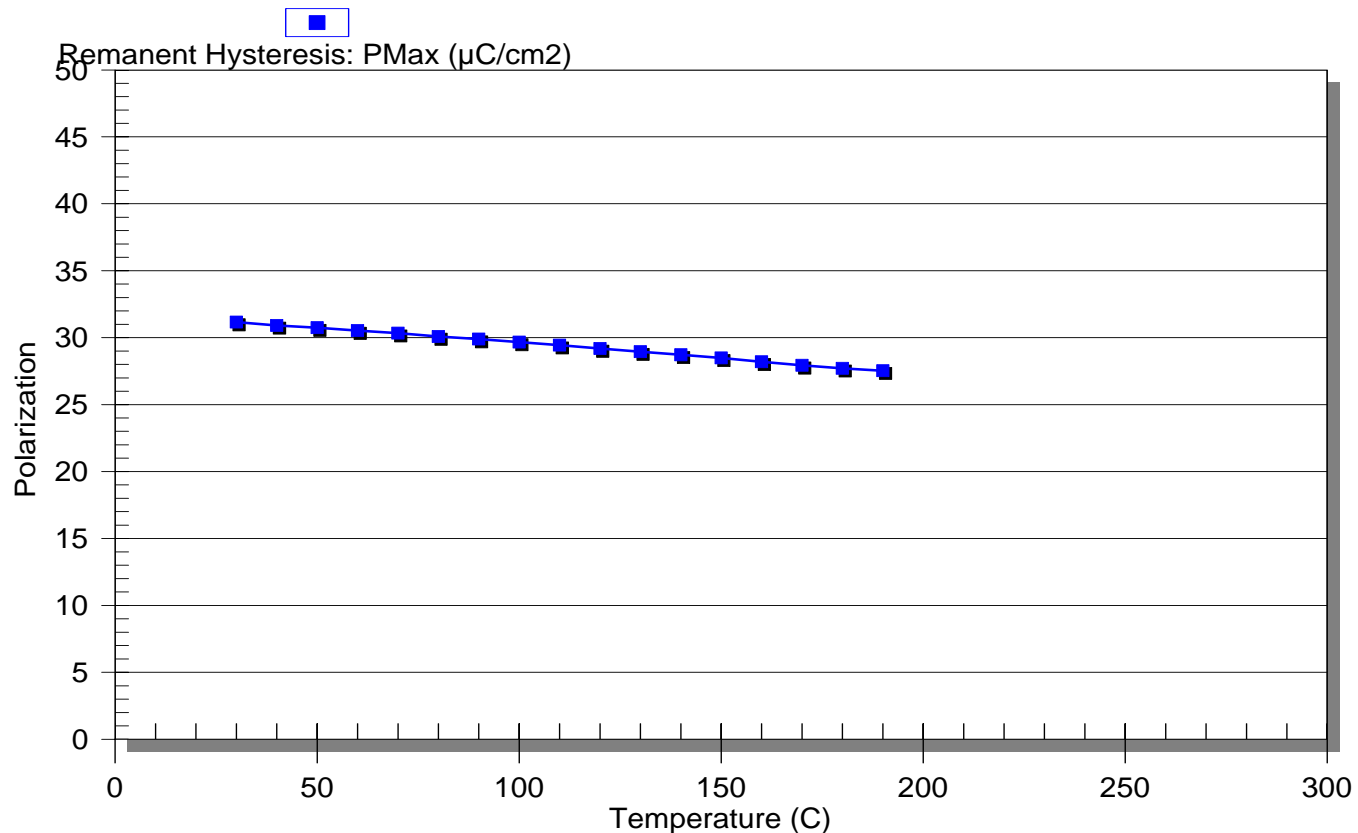
レmanentヒステリシス

Pmax 対 温度

(計測時間10 ms、最大電圧9 V)

Remanent Hysteresis Pmax vs Temperature

[Type AB WHITE die]

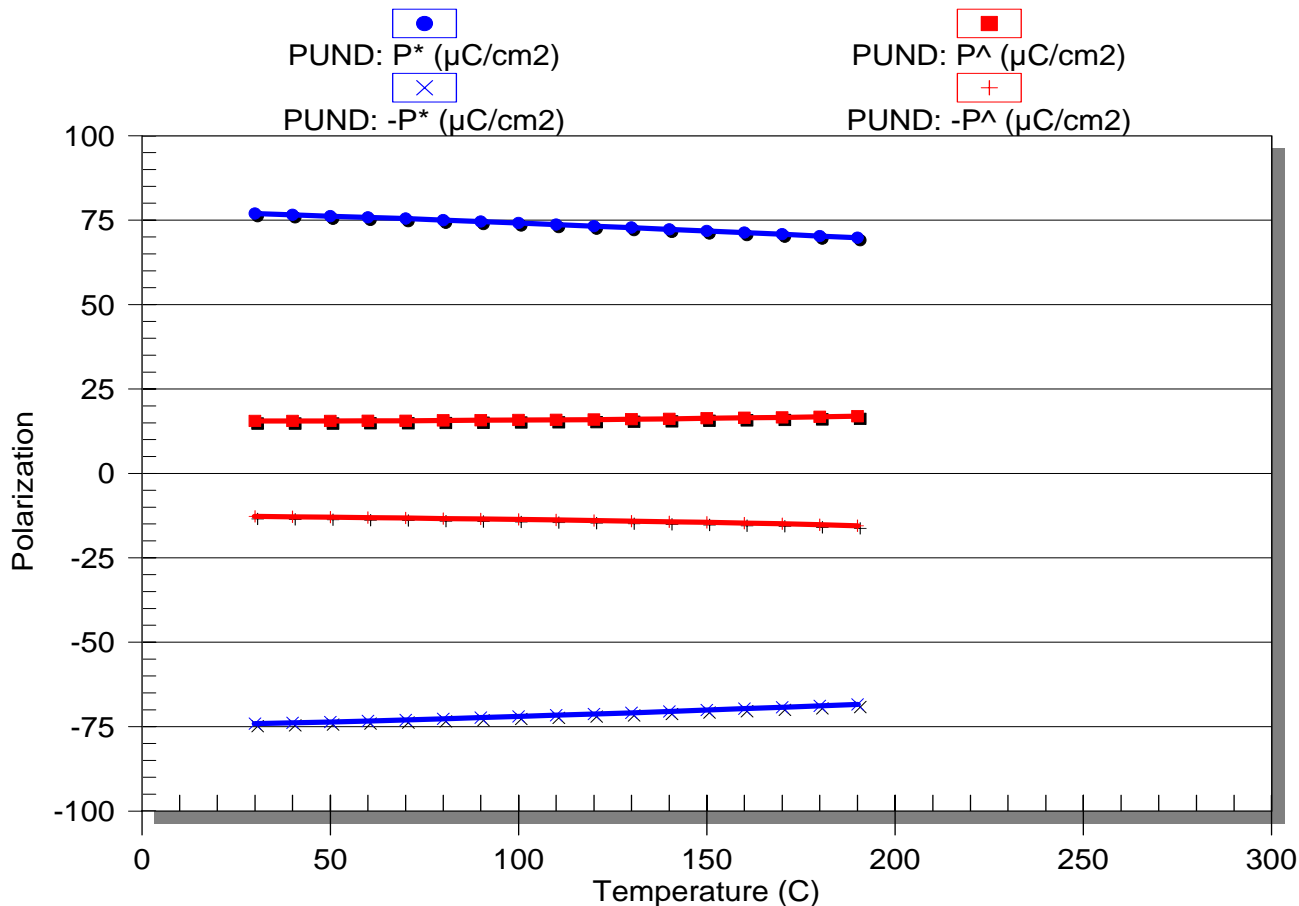


PUND 对 温度

(計測時間10 ms、最大電圧9 V)

PUND vs Temperature

[Type AB WHITE die]

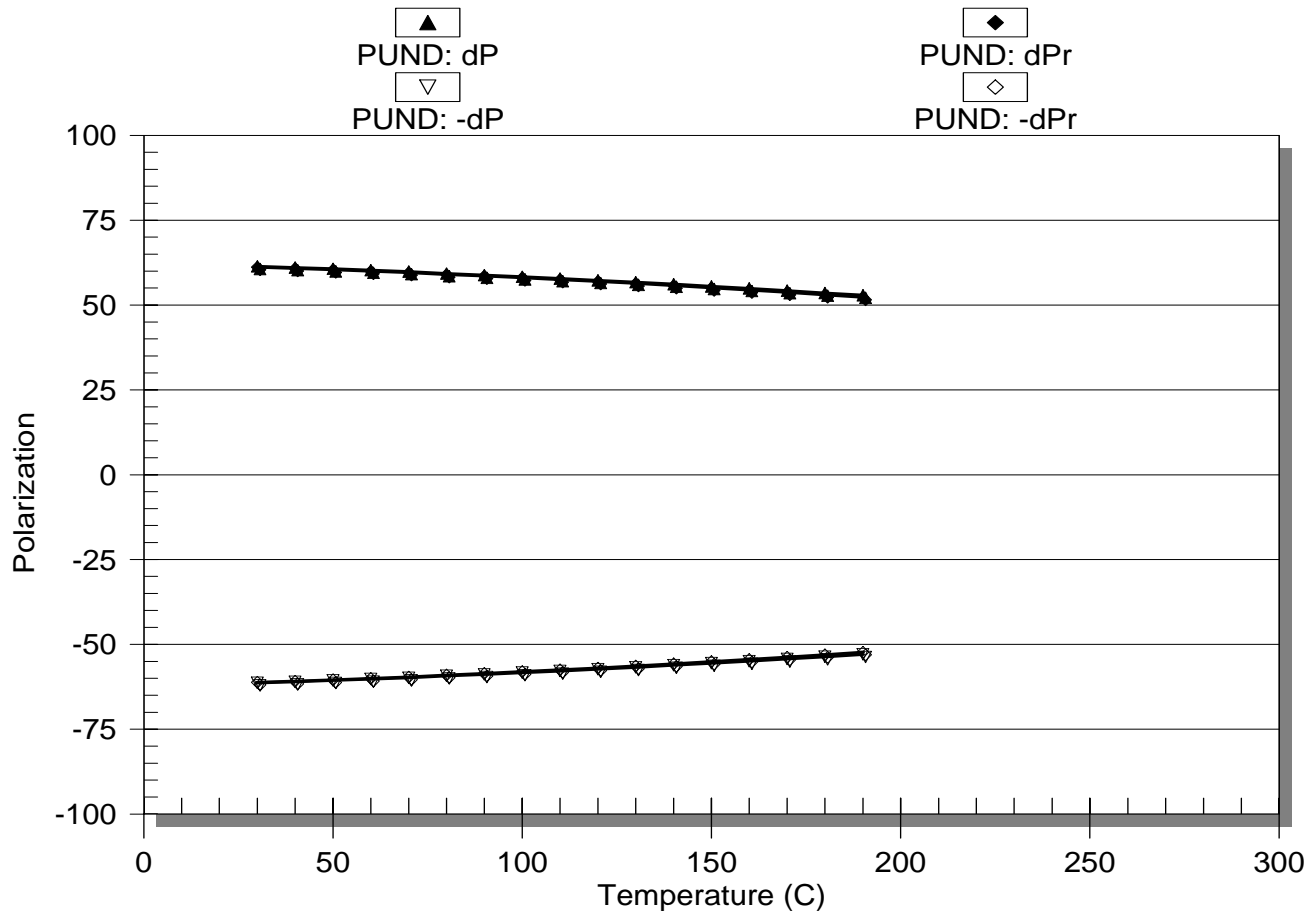


PUND 对 温度

(計測時間10 ms、最大電圧9 V)

PUND vs Temperature

[Type AB WHITE die]

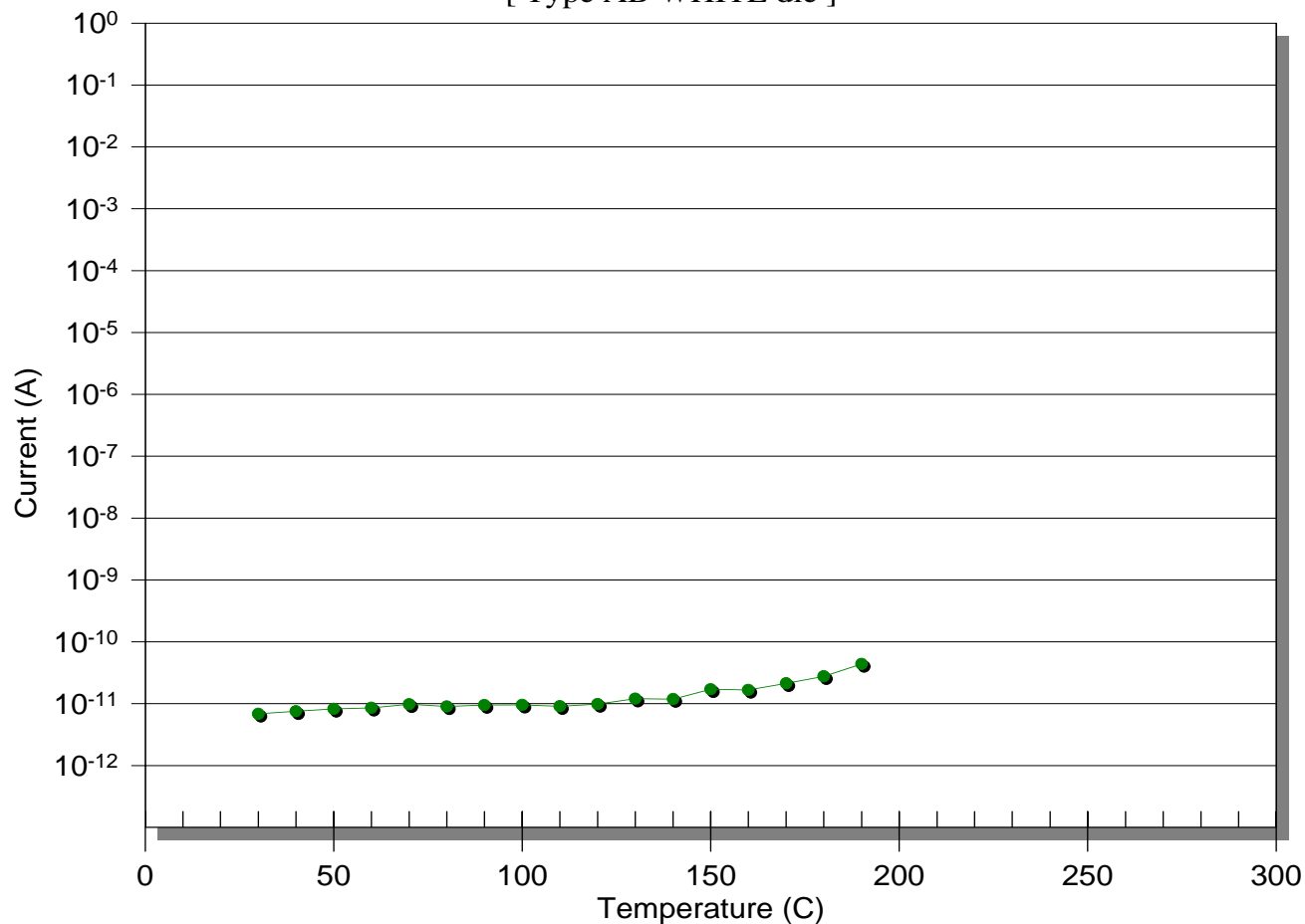


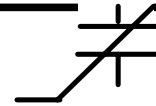
リーク電流 対 温度

(計測時間10 ms、最大電圧9 V)

Leakage vs Temperature

[Type AB WHITE die]





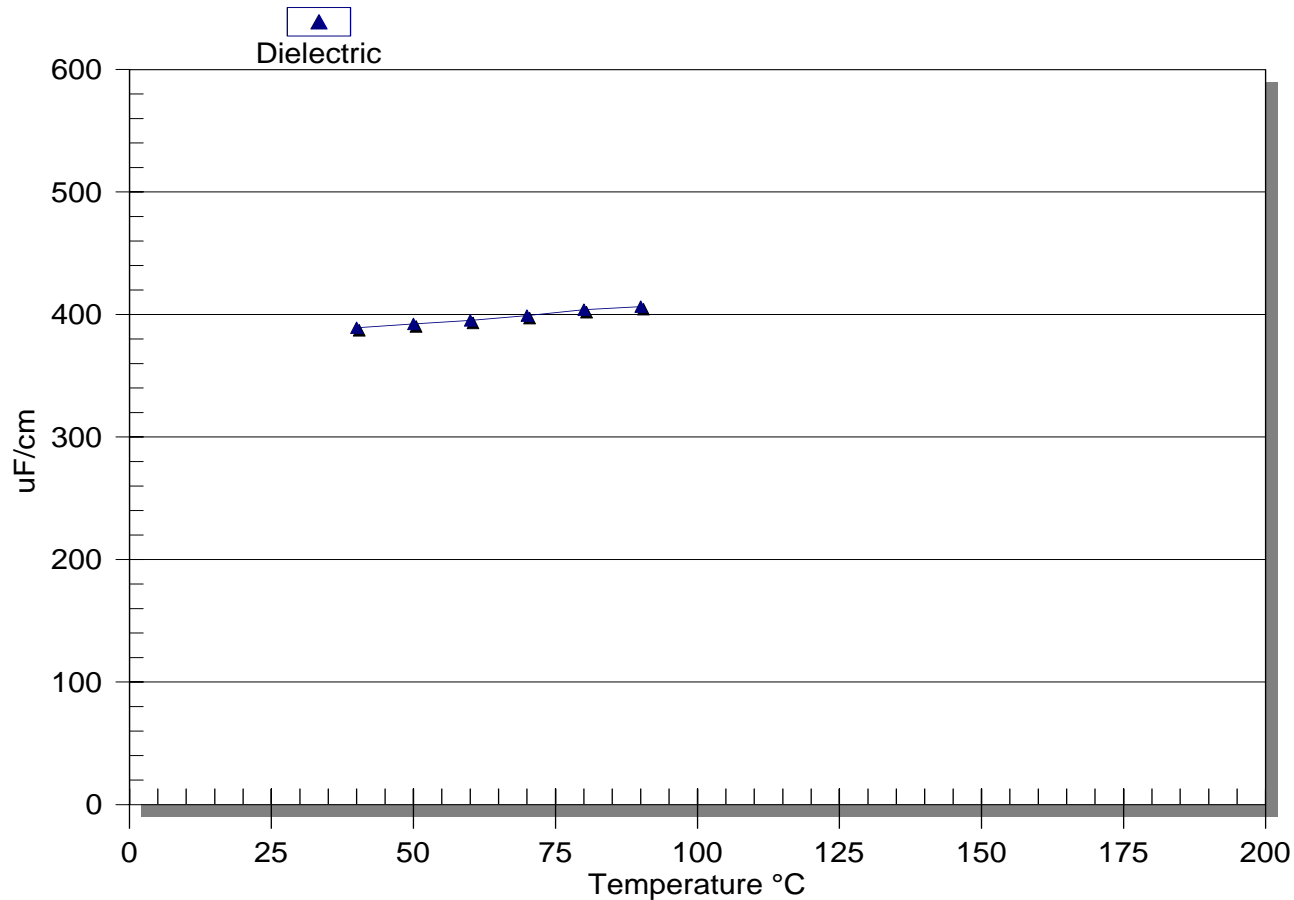
焦電係数

- 擬似静的な真と偽のキャパシターの焦電特性を計測する“Chamber: チャンバー”Taskがあります。
- 真の焦電係数は温度に伴う残留分極(レマネントヒステリシスやPUND)の変化です。
- 偽の焦電係数は温度に伴う誘電係数(微小信号静電容量: Advanced C/V Taskの計測原理)の変化です。
- チャンバーTaskは設定された温度履歴にあわせて各温度で試料を安定化します。そして、残留分極と微小信号を計測します。

誘電係数 対 温度

Dielectric Constant vs Temperature

[Type AB White Die]



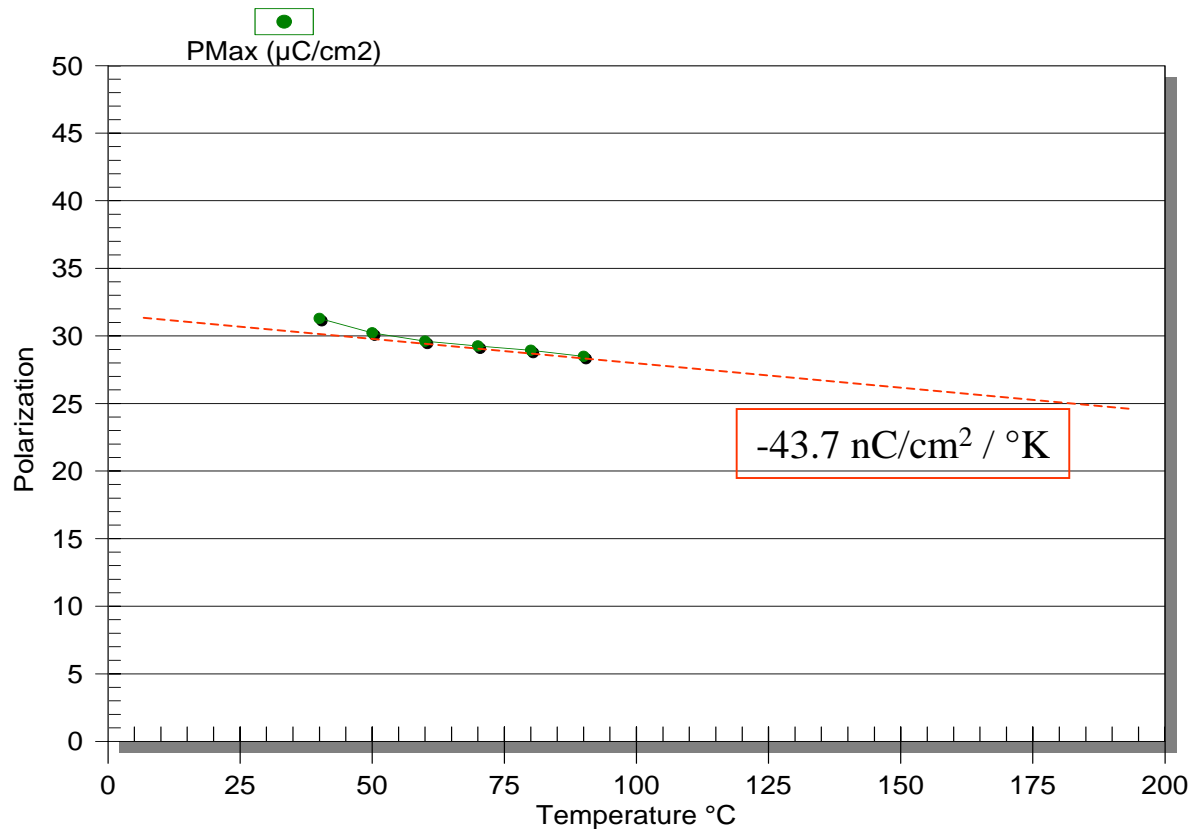
誘電係数は普通、温度の上昇と一緒に増加します。

残留分極 対 温度

(計測時間10 ms、最大電圧9 V)

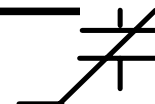
Remanent Polarization vs Temperature

[Type AB White Die]



残留分極は普通温度上昇と共に減少します。その減少の傾きが材料の真の焦電係数です。

結言



- 強誘電体キャパシターに対する多くの性能変数が存在します。
- キャパシターの性能はキャパシター自身の構成、電極そして作製工程の手順に応じて変化します。
- この資料の中でグラフ化されたデータは1つのDataSetの中に含まれます。
www.ferrodevices.com/components2.htmlから“Typical type ab performance 07_07_08.dst”をダウンロードすることができます。
- ラジアント社製強誘電体テスターを持っていなくても、Visionを
www.ferrodevices.com/tdownload.html からダウンロードすることができます。
Visionのインストール後に、DataSetを開きDataSet内のデータをグラフにすることができます。
- あなたの実験に私共の意見を求める場合や、どんな質問でもラジアント社に電子メールで連絡してください。電子メールと共にDataSetを送ることを忘れないでください。

これまでの販売経験から、多くの問題解決の手段を日本フェロ・テクノロジーは持っています。計測でお悩みでしたら、1度ご連絡いただければ幸いです。